

日本国特許庁
JAPAN PATENT OFFICE

17.06.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 6月16日

REC'D	08 JUL 2004
WIPO	PCT

出願番号
Application Number: 特願2003-170267

[ST. 10/C]: [JP2003-170267]

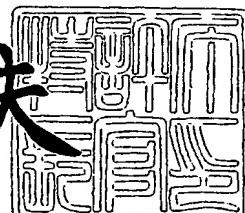
出願人
Applicant(s): 日本電気株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 5月25日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 34002307
【提出日】 平成15年 6月16日
【あて先】 特許庁長官 殿
【国際特許分類】 H05K 1/16
H01L 27/04
H01F 17/00
【発明者】
【住所又は居所】 東京都港区芝五丁目 7番1号 日本電気株式会社内
【氏名】 林 喜宏
【発明者】
【住所又は居所】 東京都港区芝五丁目 7番1号 日本電気株式会社内
【氏名】 井上 尚也
【発明者】
【住所又は居所】 東京都港区芝五丁目 7番1号 日本電気株式会社内
【氏名】 肱岡 健一郎
【特許出願人】
【識別番号】 000004237
【氏名又は名称】 日本電気株式会社
【代理人】
【識別番号】 100096253
【住所又は居所】 東京都台東区東上野一丁目 19番12号 偕楽ビル
【弁理士】
【氏名又は名称】 尾身 祐助
【手数料の表示】
【予納台帳番号】 003399
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9002137

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体デバイスおよびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上にトランジスタが形成され、その上に層間絶縁膜を介して多層配線が形成されており、半導体基板には低容量基板領域が設けられている半導体デバイスにおいて、前記低容量基板領域には少なくとも最下層の層間絶縁膜を貫き前記半導体基板内部に至る基板開口が複数個形成されていることを特徴とする半導体デバイス。

【請求項 2】 前記基板開口内には低誘電率絶縁物が埋設されていることを特徴とする請求項 1 に記載の半導体デバイス。

【請求項 3】 前記基板開口の半導体基板内の長さが前記半導体基板の厚さの半分以上であるか、前記基板開口が前記半導体基板を貫通していることを特徴とする請求項 1 または 2 に記載の半導体デバイス。

【請求項 4】 前記基板開口は、平面的にみてランダムに配置されたものであることを特徴とする請求項 1 から 3 のいずれかに記載の半導体デバイス。

【請求項 5】 前記基板開口は、平面的にみて前記低容量基板領域の全幅および全長に渡って縦断または横断する直線的な電流経路が形成されることのないように形成されたものであることを特徴とする請求項 1 から 3 のいずれかに記載の半導体デバイス。

【請求項 6】 前記低容量基板領域上には、層間絶縁膜内に高透磁率材料を含む材料が埋設された高透磁率領域が設けられていることを特徴とする請求項 1 から 5 のいずれかに記載の半導体デバイス。

【請求項 7】 前記高透磁率領域には、少なくとも一つの層間絶縁膜を貫通して他の層間絶縁膜に到達するアスペクト比（深さ／直径または一辺の長さ）が 1 以上の絶縁膜開口を高透磁率材料を含む材料にて埋め込んでなる高透磁率磁性体ロッドが複数個配置されていることを特徴とする請求項 6 に記載の半導体デバイス。

【請求項 8】 前記高透磁率領域には、少なくとも一つの層間絶縁膜を貫通して他の層間絶縁膜に到達する絶縁膜開口を酸化物系高透磁率材料を含む材料に

て埋め込んでなる高透磁率磁性体ロッドが1ないし複数個配置されていることを特徴とする請求項6に記載の半導体デバイス。

【請求項9】 半導体基板上にトランジスタが形成され、その上に層間絶縁膜を介して多層配線が形成されており、層間絶縁膜内には高透磁率材料が埋設された高透磁率領域が設けられている半導体デバイスにおいて、前記高透磁率領域には、少なくとも一つの層間絶縁膜を貫通して他の層間絶縁膜に到達するアスペクト比（深さ／直径または一边の長さ）が1以上の絶縁膜開口を高透磁率材料を含む材料にて埋め込んでなる高透磁率磁性体ロッドが複数個配置されていることを特徴とする半導体デバイス。

【請求項10】 半導体基板上にトランジスタが形成され、その上に層間絶縁膜を介して多層配線が形成されており、層間絶縁膜内には高透磁率材料が埋設された高透磁率領域が設けられている半導体デバイスにおいて、前記高透磁率領域には、少なくとも一つの層間絶縁膜を貫通して他の層間絶縁膜に到達する絶縁膜開口を酸化物系高透磁率材料を含む材料にて埋め込んでなる高透磁率磁性体ロッドが複数個配置されていることを特徴とする半導体デバイス。

【請求項11】 前記高透磁率材料または前記酸化物系高透磁率材料を含む材料が、低誘電率絶縁材料と高透磁率磁性材料または酸化物系高透磁率磁性材料とからなる複合材料であることを特徴とする請求項6から10のいずれかに記載の半導体デバイス。

【請求項12】 前記高透磁率材料または前記酸化物系高透磁率材料を含む材料に含まれる低誘電率絶縁材料がポーラス絶縁材料であることを特徴とする請求項11に記載の半導体デバイス。

【請求項13】 前記高透磁率磁性体ロッドが、前記絶縁膜開口の内壁面を被覆する高透磁率材料膜と前記絶縁膜開口内に埋め込まれた低誘電率絶縁材料とを含むことを特徴とする請求項7または9に記載の半導体デバイス。

【請求項14】 前記高透磁率領域には、前記高透磁率磁性体ロッドの上部、および／または、下部に、層間絶縁膜表面に形成された凹部を高透磁率材料を含む材料にて埋め込んでなる高透磁率磁性体プレーンが配置されていることを特徴とする請求項7から13のいずれかに記載の半導体デバイス。

【請求項15】 前記低容量基板領域上または前記高透磁率領域に、インダクタが形成されていることを特徴とする請求項1から14のいずれかに記載の半導体デバイス。

【請求項16】 前記半導体基板上の前記低容量基板領域内または前記高透磁率領域を含む領域内に、アナログ回路が形成されていることを特徴とする請求項1から15のいずれかに記載の半導体デバイス。

【請求項17】 前記半導体基板上の前記低容量基板領域または前記高透磁率領域が設けられた領域外に、ロジック回路が形成されていることを特徴とする請求項1から16のいずれかに記載の半導体デバイス。

【請求項18】 前記低容量基板上にオンチップアンテナ配線が形成されていることを特徴とする請求項1から4のいずれかに記載の半導体デバイス。

【請求項19】 前記オンチップアンテナ配線が半導体チップの周辺部に形成されていることを特徴とする請求項18に記載の半導体デバイス。

【請求項20】 前記オンチップアンテナ配線が半導体チップの周辺に沿って“I”字状、“L”字状、“U”字状または一若しくは多重ループに形成されていることを特徴とする請求項18に記載の半導体デバイス。

【請求項21】 前記オンチップアンテナ配線が複数の層間絶縁膜を貫通して形成されたスリット状開口を埋め込む配線層によって形成されていることを特徴とする請求項18から20のいずれかに記載の半導体デバイス。

【請求項22】 前記オンチップアンテナ配線の内側には接地された配線層であるシールド配線が形成していることを特徴とする請求項19から21のいずれかに記載の半導体デバイス。

【請求項23】 前記シールド配線が複数の層間絶縁膜を貫通して形成されたスリット状開口を埋め込む配線層によって形成されていることを特徴とする請求項22に記載の半導体デバイス。

【請求項24】 半導体基板上にトランジスタが形成され、その上に層間絶縁膜を介して多層配線が形成されており、層間絶縁膜内には高透磁率材料が埋設された高透磁率領域が設けられている半導体デバイスの製造方法であって、

(1) 半導体基板上にトランジスタを形成する工程と、

(2) 前記低容量基板領域に少なくとも最下層の層間絶縁膜を貫き前記半導体基板内部に至る基板開口を複数個する工程と、
(3) 前記開口内を絶縁物により埋め込む工程と、
(4) 前記半導体基板の裏面を研削する工程と、
をこの順に有することを特徴とする半導体デバイスの製造方法。

【請求項25】 前記第(3)の工程で埋め込まれる絶縁物が誘電率が酸化シリコンより小さい低誘電率絶縁物であることを特徴とする請求24に記載の半導体デバイスの製造方法。

【請求項26】 前記第(1)の工程と前記第(2)の工程との間に半導体基板上にトランジスタを覆う層間絶縁膜を形成する工程が付加されることを特徴とする請求24または25に記載の半導体デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高周波信号処理を行うことができる半導体デバイスおよびその製造方法に関し、より詳しくは半導体基板上に少なくとも高周波信号処理回路領域を含む半導体デバイスとその製造方法に関するものである。

【0002】

【従来の技術】

モバイルコンピューティングの進展により、シリコンチップに無線通信機能（RF通信機能）を持たせる必要が生じている。従前のシリコンチップにおいては、CMOSトランジスタが形成され、これらのCMOSゲートからなるデジタル論理による信号処理のみが行わっていた。これに対し、RF通信機能はアナログの世界であり、信号增幅といったCMOSトランジスタのアナログ機能に加え、インダクタといった受動素子を利用して、受信波の増幅機能（LNA: Low noise amplifier）やパルス発生器、パルス遅延回路などからなる送信機能を持つ。より具体的には、図24に示すように、シリコン半導体チップ内に、LNA61a、送信信号生成回路61b、スイッチ回路61cを備えて無線信号の送受信を行うRF通信回路領域61と、これらのアナログ信号をデジタル信号に転換する

A/D変換回路62a、デジタル信号処理回路62b、そして信号処理を行ったデジタル信号を再びアナログ化するD/A変換回路62cからなるデジタルベースバンド（BB）領域62が最低限必要となる。実際には、さらにSRAMやDRAMからなるメモリ領域が必要となるが、ここでは図示していない。

【0003】

CMOSトランジスタの増幅機能は微細加工の進展により大きく改善されており、RF領域のアナログ信号処理を可能ならしめる領域に達している。しかし、アナログ回路はLCR回路構成を必要とし、特にシリコン半導体チップ上への高性能・小型インダクタの技術開発には以下に述べる技術課題があり、その実用化が遅延されている。図25に、シリコン半導体チップ上に形成されるインダクタの上面模式図とその等価回路を示す。インダクタはシリコン半導体チップ上に形成される多層配線を利用して形成される。

【0004】

まず、インダクタの損失を考えない場合、インダクタのインダクタンスLは、下記の式（1）で与えられる。

$$L \propto \mu \times n^2 \times r \quad \dots (1)$$

μ ：インダクタ形成領域の透磁率、

n：巻き線数

r：巻き線の最大半径

ここで、多層配線間の絶縁分離にシリコン酸化膜が用いられており、透磁率は真空の透磁率 μ_0 と仮定できる。式（1）によれば、 $L = 100 \text{ nH}$ を得るには、巻き線数 $n = 26$ 、インダクタの一辺 $2r = 250 \mu\text{m}$ 程度が必要となる。通常のインダクタ部品と比較すれば非常に小さなものであるが、通常のロジックチップにおいては大面積を占有してしまう。従って、インダクタを多数RF回路内に用いることはできない。インダクタの寸法は変更することなくインダクタンスLを増加させることは、インダクタ形成領域の透磁率を上げることにより実現できる。式（1）は、高透磁率材料を導入することで実現できることを示している。

【0005】

式（1）では、インダクタのインダクタンス（L）に注目したものであるが、

シリコン半導体チップ上のインダクタの等価回路に示すように電力損失因子があり、その高周波特性を阻害する。たとえば、多層配線から形成されるインダクタ線路の抵抗 (R_s) がある。インダクタが巨大となれば線路長が増大し、この R_s による電力消費は無視できなくなる。また、インダクタ線路間の結合容量 (C_p) による電荷充放電による損失、さらには、インダクタとシリコン半導体基板とのカップリング容量 ($C_{ox}/2$) による損失、さらにはシリコン基板内のp-n接合容量も損失の対象となる。

損失以外の懸念因子として、インダクタからの高周波磁場変動による誘導電流（渦電流）によるシリコン基板を介したノイズ伝搬および損失がある。このノイズ伝搬現象は、インダクタのみならずシリコン半導体基板上のRF回路に共通した技術課題である。この基板ノイズを低減するには、基板抵抗 (R_1) を増大させかつ基板容量 (C_1) を小さくすることが肝要である。なお、基板抵抗 R_1 は、基板の比抵抗 ρ と基板厚 t_{sub} により決定される。

【0006】

このような技術背景のもと、シリコン半導体基板上に高性能インダクタを形成するための技術開発が進められている。

第1の従来技術として、インダクタ形成領域のシリコン基板に溝（トレンチ）を形成し、溝をシリコン酸化膜等で埋め込む技術が提案されている（例えば、特許文献1ないし3参照）。図26は、特許文献1にて提案されたオンチップインダクタの断面図である。同図に示すように、シリコン基板71に格子状に溝を形成し、この溝部にシリコン酸化膜72を埋め込み、そして溝形成領域上にインダクタ73を形成している。シリコン基板にシリコン酸化膜を埋め込むことで、インダクタ形成領域の容量 (C_1) およびインダクタ線路と基板とのカップリング容量 ($C_{ox}/2$) を低減し、インダクタのリーク電流の低減と誘導電流の低減を実現している。

【0007】

また、特許文献2には、インダクタを構成する渦巻き型配線の配線間および外周に対して、シリコン基板に渦巻き状トレンチを形成し、その内部を絶縁性物質（酸化シリコン）で充填した素子が開示されている。

また、特許文献3には、シリコン基板上に多層配線を利用してインダクタを形成し、シリコン基板表面から掘り込んだ開口部に絶縁物（二酸化シリコン、塗化シリコン）と真性ポリシリコンを埋め込むことで、インダクタの形成領域にシリコン基板表面を起点とし基板内部に対して板状の絶縁膜と浅いトレンチ状の絶縁膜が形成する技術が開示されている。

特許文献1ないし3に開示された技術は、いずれもシリコン基板表面を基点として、基板を掘り込みその内部を絶縁物で埋め込んでいる。

【0008】

第2の従来技術として、インダクタ形成領域に強磁性ないし軟磁性材料を埋め込んで巻線周囲の透磁率を高めインダクタンスの増大を図る技術が提案されている（例えば、特許文献4参照）。すなわち、特許文献4には、図27に示されるように、シリコン基板81上の絶縁膜82内にインダクタ83の巻線を形成し、巻線の中心部（およびその周辺部）の絶縁膜内に鉄コバルト合金などの強磁性体金属からなる磁気コア84を配置する技術が開示されている。

【0009】

【特許文献1】

特開2000-77610

【特許文献2】

特開2002-93622

【特許文献3】

特開2000-40789

【特許文献4】

特開2001-284533

【0010】

【発明が解決しようとする課題】

従来の技術はともに、シリコン基板上に形成されるインダクタの性能向上を目的として提案されたものであるが、以下に述べる課題がある。

第1の従来技術では、いずれの場合も溝ないしトレンチはシリコン基板表面から掘り込まれている。そして、溝ないしトレンチを埋め込む絶縁材料としては酸

化シリコンや窒化シリコンなどの比較的比誘電率の高い材料が想定されている。浮遊容量を低減するには低誘電率の絶縁膜を埋め込むことが効果的であるが、従来技術では、絶縁膜の埋め込み後にトランジスタの形成工程が予定されているため、低誘電率の絶縁膜の埋め込みができない。低誘電率絶縁膜としては例えばシリコン酸化膜中の酸素をメチル基などの有機基によって一部置換した有機シロキサン膜や該有機シロキサン膜内に $5 \text{ nm} \phi$ 以下の微小空孔を分散させたポーラス絶縁膜等が知られているが、低誘電率絶縁膜の耐熱性は一般に 500°C 以下程度である。一方、トランジスタ形成にはゲート絶縁膜形成や不純物注入後の活性化アーナールなどの 700°C 以上の高熱処理工程が必要となるため、トランジスタ形成前にインダクタ形成領域に絶縁膜を埋め込んでおく構造の場合、必然的に埋め込み絶縁膜としては高耐熱性を有するシリコン酸化膜等に限定されてしまうのである。よって、第1の従来技術では、基板に係る寄生容量を十分に低減することはできなかった。

また、第1の従来技術では、基板電流の低減を目的の一つとしているが、トレチ深さとシリコン基板厚さの関係、すなわちトレチ深さをシリコン基板厚のどの程度まで掘り込むかという点については何らの考慮も払われていない。シリコン基板は不純物がドープされており低抵抗であるため、基板厚が厚い場合には十分に基板電流を低減することができない。すなわち、ノイズと損失を十分に低減することができない。

【0011】

上述した第2の従来技術では、深さに対して広い面積を有する開口が設けられ、この開口が強磁性体によって埋め込まれている。而して、埋め込み強磁性体の埋め込み深さに対して断面積径大きい場合、この強磁性体領域を通過する磁場の変動による渦電流による損失が大きくなる。この渦電流を小さくするためには断面積を小さくする必要があるが、断面積を単に小さくしただけでは磁心領域の被覆面積が小さくなり、磁束密度の向上効果が期待できない。

さらに、インダクタの損失を減らすにはインダクタ線路間のカップリング容量(C_p)を減らす必要もある。上述した特許文献4には、磁気コアを軟磁性粒子をポリイミドによって固めたものによって構成する実施例も記載されているもの

の、C_pの低減に関しては何の考慮も払っておらず、磁性体を固定するのに比誘電率3以上の有機接着剤（ポリイミド）を用いるに留まっている。

本願発明の課題は、上述した従来技術の課題を解決することであって、その目的は、半導体基板上に少なくとも高周波信号処回路領域を含む半導体デバイスに関し、高周波帯域での損失およびノイズ低減を可能とし、かつ特に受動素子であるインダクタの小型化と損失低減化を可能ならしめる半導体デバイスを提供することにある。

【0012】

【課題を解決するための手段】

上記の目的を達成するため、本発明によれば、半導体基板上にトランジスタが形成され、その上に層間絶縁膜を介して多層配線が形成されており、半導体基板には低容量基板領域が設けられている半導体デバイスにおいて、前記低容量基板領域には少なくとも最下層の層間絶縁膜を貫き前記半導体基板内部に至る基板開口が複数個形成されていることを特徴とする半導体デバイス、が提供される。

そして、好ましくは、前記基板開口内には低誘電率絶縁物が埋設される。また、一層好ましくは、前記基板開口の長さが前記半導体基板の厚さの半分以上であるか、前記基板開口が前記半導体基板を貫通している。

【0013】

また、上記の目的を達成するため、本発明によれば、半導体基板上にトランジスタが形成され、その上に層間絶縁膜を介して多層配線が形成されており、層間絶縁膜内には高透磁率材料が埋設された高透磁率領域が設けられている半導体デバイスにおいて、高透磁率領域には、少なくとも一つの層間絶縁膜を貫通して他の層間絶縁膜に到達するアスペクト比（深さ／直徑または一边の長さ）が1以上の絶縁膜開口を高透磁率材料を含む材料にて埋め込んでなる高透磁率磁性体ロッドが複数個配置されていることを特徴とする半導体デバイス、が提供される。

また、上記の目的を達成するため、本発明によれば、トランジスタが形成された半導体基板上に層間絶縁膜を介して多層配線が形成されており、層間絶縁膜内には高透磁率材料が埋設された高透磁率領域が設けられている半導体デバイスにおいて、高透磁率領域には、少なくとも一つの層間絶縁膜を貫通して他の層間絶

縁膜に到達する絶縁膜開口を酸化物系高透磁率材料を含む材料にて埋め込んでなる高透磁率磁性体ロッドが複数個配置されていることを特徴とする半導体デバイス、が提供される。

そして、好ましくは、前記高透磁率材料または前記酸化物系高透磁率材料を含む材料が、低誘電率絶縁材料と高透磁率材料または酸化物系高透磁率材料とからなる複合材料である。

【0014】

また、上記の目的を達成するため、本発明によれば、トランジスタが形成された半導体基板上に層間絶縁膜を介して多層配線が形成されており、半導体基板には低容量基板領域が設けられている半導体デバイスの製造方法であって、

- (1) 半導体基板上にトランジスタを形成する工程と、
 - (2) 前記低容量基板領域に少なくとも最下層の層間絶縁膜を貫き前記半導体基板内部に至る基板開口を複数個する工程と、
 - (3) 前記半導体基板の裏面を研削する工程と、
- をこの順に有することを特徴とする半導体デバイスの製造方法、が提供される。

【0015】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

図1は、本発明の第1の実施の形態を示す断面図である。半導体チップは、高周波アナログ信号の処理を行うR F回路領域100とデジタル信号の処理を行うデジタル回路領域200の領域に分けられている。半導体基板51上には、複数の層間絶縁膜を含む積層絶縁膜52が形成されている。そして、R F回路領域100の積層絶縁膜52内には多層配線を利用して例えばスパイラル構造のインダクタ53が設けられる。また、R F回路領域100には、少なくとも1層の層間絶縁膜を貫通し半導体基板51の内部に到達する開口が設けられ、該開口内部が比誘電率がシリコン酸化膜のそれよりも低い絶縁物が埋め込まれてなる低誘電率充填物53が形成されている。開口の平面形状は円形であっても四角形などの多角形であってもよい。さらには、溝状の開口であってもよい。溝状の開口の場合溝同士が交差するように形成されていてもよい。開口内に埋め込まれる絶縁物と

しては、酸化シリコン中の酸素をメチル基などの有機基によって一部置換した有機シロキサン（MSQ）膜やこの有機シロキサン膜内に5nmφ以下の微小空孔を分散させたポーラス絶縁膜等が挙げられる。開口内に埋め込まれる絶縁物の望ましい比誘電率は3以下である。

低誘電率充填物54を特に半導体チップの周辺部に沿って埋め込むようにし、その上にオンチップアンテナ配線を形成するようにしてもよい。

インダクタ53の巻線配線あるいはオンチップアンテナ配線を含む多層配線が形成された後、半導体基板の裏面は研削され、半導体基板51は、その厚さが低誘電率充填物54を埋め込むための開口の半導体基板内の深さの2倍以下となるように、薄層化される。これにより基板の高抵抗化が実現され基板電流の低減が可能になる。

【0016】

図2は、本発明の第2の実施の形態を示す断面図である。図2において、第1の実施の形態を示す図1と同等の部分には図1と共に通の参照符号を付し、重複する説明は省略する。第2の実施の形態の第1の実施の形態と相違する点は、本実施の形態では、半導体基板が、低誘電率充填物54を埋め込むための開口の底面が露出するまでに薄層化されている。これにより、半導体基板の一層の高抵抗化が実現される。

【0017】

低誘電率充填物54の平面上の配置は、正方格子点配置、斜め方向配列〔図11（a）参照〕などの規則的な配列であってもよいが、図3に示すように、不規則な配列とすることもできる。低誘電率充填物54をランダムに配置することにより、RF回路領域に平面的に見て直線的な電流経路が形成される確率を低めることができ、基板抵抗R1を低減させることができる。また、図4に示すように、低誘電率充填物54を規則的に配置しつつ、RF回路領域での全幅または全長に渡る直線的な電流経路の形成を防止するようにするようにしてもよい。

低誘電率充填物54を格子状に形成された溝に埋め込むことにより、RF回路領域において電流経路が形成されるのを完全に抑えるようにすることもできる。しかし、このような基板を分断する構造は基板の機械的な強度を脆弱化するため

、基板厚を薄くする場合には避けた方がよい。

【0018】

図5は、本発明の第3の実施の形態を示す断面図である。本実施の形態においては、RF回路領域100上に、高透磁率領域300が設けられている。高透磁率領域300においては、複数の層間絶縁膜を有する積層絶縁膜52中に、インダクタ53の巻線の中心部およびその周囲に、一つの層間絶縁膜を貫通して他の層間絶縁膜に到達する開口が設けられその開口を高透磁率磁性材料で埋め込んでなる高透磁率充填物55が形成される。ここで、埋め込まれる高透磁率磁性材料が導電性を有するバルク形態のものであるとき、誘導電流の低減のために、開口は、そのアスペクト比（深さ／直径または一边の長さ）が1以上に設定される。埋め込まれる高透磁率磁性材料が絶縁性材料であるとき、あるいは下記のように軟磁性材料の微粒子を絶縁性材料（望ましくは低誘電率絶縁材料）と混合したものであるとき、このような条件を付けなくてもよい。

さらに、インダクタ53の巻線間の浮遊容量を低減するために、開口内は高透磁率磁性材料とともに低誘電率絶縁材料が埋め込まれるようにしてもよい。すなわち、高透磁率充填物55は低誘電率絶縁材料に高透磁率磁性材料微粉末が分散された材料が開口内に埋め込まれたものとする。望ましい絶縁性材料としては、上述の有機シロキサン膜やこの有機シロキサン膜内に微小空孔を分散させたポーラス絶縁膜等が挙げられる。

高透磁率充填物55は、開口内に高透磁率磁性体微粉末が分散された低誘電率絶縁材料によって埋め込む方式に代え、開口内壁面をスパッタ法、CVD法やメッキ法等を用いて高透磁率材料膜にて被覆し、残りの開口内空間を低誘電率材料にて埋め込むようにしてもよい。

高透磁率充填物55が、導電性バルク材料によって構成されるとき、高透磁率充填物55が形成される領域に大口径の開口を形成し該開口内を低誘電率絶縁材料によって埋め込み、この低誘電率絶縁材料層に高透磁率材料充填用開口を形成しこの開口に軟磁性体材料をスパッタ法や電解メッキ法などにより埋め込むようにしてもよい。

高透磁率充填物55は、インダクタ形成領域以外の領域に設けるようにしても

よい。この場合、高透磁率充填物55は磁気シールドの機能を果たすことになる。

。

【0019】

図6は、本発明の第4の実施の形態を示す断面図である。図6において、第3の実施の形態を示す図5と同等の部分には図5と共に通の参照符号を付し、重複する説明は省略する。第4の実施の形態の第3の実施の形態と相違する点は、本実施の形態においては、高透磁率充填物55が、基板面に垂直な高透磁率充填物55のロッド部55aの他にロッド部55a上を覆いロッド部55aを連結するプレーン部55bを備えていることである。高透磁率充填物55にこのプレーン部55bを設けたことにより、インダクタ53の巻線周囲の透磁率が高まり、インダクタンスの一層の増大ないしインダクタ53の一層の小型化が可能になる外、他の配線の誘導電流を軽減させることができる。

図示された例では、高透磁率充填物55のプレーン部55bはロッド部55aの上部に設けられていたがロッド部55aの下部に設けるようにしてもよい。あるいは、ロッド部55aの上部および下部の双方にプレーン部を設けるようにしてもよい。

【0020】

第1ないし第4の実施の形態を備えた半導体デバイスによれば、インダクタの小型化と高性能化が可能となり、かつ小型化・高性能化された受動素子とCMOS回路などの能動素子との1チップ上への混載が可能になる。よって、本願発明による半導体デバイスでは、損失やノイズ伝搬が抑制されたRF回路とデジタル回路(SRAMなどのメモリ部も含む)との混載チップの実現が可能になる。

このようなRF通信機能を混載したチップでは、チップ間の信号のやり取りを無線USB化や無線WLAN化あるいはUWB通信化することも可能となる。従来複数のデジタル論理チップから構成されるシステムを構成する場合、複数のチップをプリント配線基板に実装していたが、そのプリント配線基板内の信号遅延や信号カップリングなどの問題を解決するための設計工数に莫大な時間と費用を必要としていた。本願発明による半導体デバイスによれば、図7に示すように、RF通信回路領域61とデジタルベースバンド62とをそれぞれ複数搭載しさら

にメモリ領域63を設けたRF回路・デジタル回路混載チップ60を複数用意しておき、これらのチップ間の信号伝達を無線で行うことが可能になる。このため、プリント配線基板は低ノイズの電源供給に特化することができ、設計工数を大幅に低減できる。また、チップ配置の制限も大幅に緩和される。

【0021】

【実施例】

次に、本発明の好ましい実施例について図面を参照して詳細に説明する。

(第1の実施例)

図8(a)は、本発明の第1の実施例を示す平面図であり、図8(b)は、図8(a)のA-A'線の断面図である。シリコン半導体基板上にRF回路領域(高周波信号処理回路領域)100とデジタル回路領域200が設けられている。シリコン基板1上のシャロートレンチ素子分離膜2によって分離された領域内にMOSFET3が形成され、CMOS回路が構成されている。RF回路領域100のシリコン基板内には低誘電率絶縁物が埋設された低誘電率絶縁体ロッド8が複数配置されている。本実施例においては低誘電率絶縁体ロッド8は、CMOSトランジスタと多層配線とを絶縁分離する第1の層間絶縁膜を貫いてシリコン基板内部に到達している。すなわち、低誘電率絶縁体ロッドは、すべてのCMOSトランジスタ形成工程を終了した後に、別な言い方をすればCMOSトランジスタ形成に必要なすべての高温熱処理工程終了後に、形成されている。このため、シリコン酸化膜よりも低誘電率な絶縁膜を埋設することが可能になっている。

【0022】

シリコン基板1はすべてのデバイス形成工程が終了後研削により薄層化され、本実施例では低誘電率絶縁体ロッド8の底面が現れるまで薄層化されている。薄層化によりシリコン基板の実効抵抗を増加させ、かつ低誘電率絶縁体ロッドの配置により低容量基板領域とすることで、基板を伝搬するノイズを低減させまた損失を低減させている。

【0023】

MOSFET3のソース・ドレイン領域は、第1層間絶縁膜4内に設けられたWコンタクトプラグ5を介して、第2層間絶縁膜9内に埋設された第1層銅配線

10に引き出されている。その上には第2層銅配線12が埋設された第3層間絶縁膜11、第3層銅配線14が埋設された第4層間絶縁膜13が形成されている。低誘電率絶縁体ロッド8が配置された低容量基板領域内には、第3層銅配線14と第2層銅配線12とを用いてインダクタ40が形成されている。低容量基板領域内にインダクタを設置することで、インダクタと基板間とのカップリング容量($C_{ox}/2$)を低減させ、インダクタ損失を低減させている。

【0024】

第4層間絶縁膜13上には第5層間絶縁膜15が形成されており、RF回路領域100の第5層間絶縁膜15には凹部が設けられ、さらに第5層間絶縁膜15と第4層間絶縁膜13を貫通する開口が設けられ、これらの凹部および開口内に、NiFe合金を主体とする軟磁性体が埋め込まれて高透磁率分離領域19が形成されている。高透磁率分離領域19は、インダクタ40の磁心部およびその周辺を含む領域に形成されている。これにより、インダクタの小型化が可能になる。インダクタの小型化は、インダクタ線路長の減少をもたらし、Rsおよび $C_{ox}/2$ をも低減させる。すなわち、インダクタの小型化は、単に面積占有率を低減させるだけでなく、その性能をも向上させている。この高透磁率分離領域は、インダクタ形成領域以外の領域にも形成可能であり、その場合、RF回路素子の磁場シールドとしての機能を果たす。第5層間絶縁膜15上はカバー膜20により覆われている。

【0025】

次に、製造途中段階での状態を示す図9～図18を参照して第1の実施例の製造方法について説明する。なお、図9～図18において(a)は平面図、(b)はそのA-A'線の断面図である。

図9に示すように、シリコン基板1の表面に300nmから500nmの浅い開口部を形成し、この開口部にシリコン酸化膜を埋め込むことでシャロートレンチ素子分離膜2を形成する。次いで、図10に示すように、pおよびnウエル(図示せず)を形成し、ゲート絶縁膜成長、ゲート電極形成、拡散層形成およびそのシリサイド化を行い、デジタル回路用CMOS回路およびRF回路用CMOS回路を構成するMOSFET3を形成する。さらに、シリコン酸化膜を堆積し、

CMPで平坦化して第1層間絶縁膜4を形成した後、ゲート電極と拡散層にいたるコンタクトホールを形成し、タンゲステンを埋め込んでWコンタクトプラグ5を形成する。デジタル回路用CMOSとRF回路用CMOSのゲート絶縁膜にマルチオキサイドを用いてもよい。また、HfSiOなどのHigh-kゲート絶縁膜を用いてもよい。肝要なことはこのトランジスタ形成工程で、700°C以上の高温熱処理工程をすべて終了させておくことである。

【0026】

次に、必要に応じて50nm厚程度のシリコン酸化膜（図示せず）を形成した後、図11に示すように、RF回路領域100の第1層間絶縁膜4と素子分離膜2を貫き、シリコン基板1内部に到る開口6を形成する。開口6の形状や深さに対して制限はないが、たとえば開口径が $1 \sim 3 \mu\text{m}$ でその深さが $5 \sim 30 \mu\text{m}$ である。また、開口の配列の仕方にも制限はないが、例えば斜め方向配列である。開口は溝状のものを含んでいてもよい。

その後、図12に示すように、開口6を埋めるように、低誘電率絶縁膜7を形成する。低誘電率絶縁膜の材料は特に限定はないが、少なくともシリコン酸化膜よりも比誘電率が小さいことが必要である。例えば、シリコン酸化膜の酸素の一部を水素に置き換えたラダーオキサイドやメチルに置き換えたMSQなどの塗布絶縁膜が使用可能である。また、炭素添加したシリカ(SiOC)やSiOCHなどのプラズマCVD膜であってもよい。さらには、絶縁膜中に10nm以下の空孔が分散しているポーラス膜であってもよい。また、これらの低誘電率絶縁膜で開口6のすべてを埋設するのでなく、まず開口の壁面に熱CVD法やオゾン酸化CVD法やプラズマCVD法により薄いシリコン酸化膜やシリコン窒化膜を成長させた後、低誘電率絶縁膜を埋め込むようにしてもよい。

次に、図13に示すように、層間絶縁膜上の低誘電率絶縁膜をCMP法により除去することで開口内部に低誘電率絶縁膜が埋め込まれた低誘電率絶縁体ロッド8がシリコン基板内に形成される。なお、ここでは第1層間絶縁膜4上のすべての低誘電率絶縁膜7をCMPで除去した場合を示したが、その一部を残して多層配線間の分離絶縁膜として利用することもできる。

【0027】

次に、第2層間絶縁膜9を成長させ、さらにWコンタクトプラグ5の頂部を露出させる配線溝を形成する。この配線溝にTa/TaNやTiWなどの25nm厚程度のバリアメタルおよび100nm厚程度のシード銅膜を成長させ、シード銅膜を電極として電解メッキ法で銅膜を成長させる。CMPで銅膜およびバリアメタル膜を選択的に除去することで、図14に示すように、第2層間絶縁膜9内にダマシン構造の第1層銅配線10を形成する。なお、第2層間絶縁膜9の材料には特に制限はなく、シリコン酸化膜やラダーオキサイド、MSQ、SiOCHさらにはポーラス膜であってもよい。銅ダマシン配線の表面には、銅拡散を防止するSiCNやSiCなどのキャップ膜（図示せず）が形成される。

その後、絶縁膜の成長と配線溝およびビアホールの開設と配線溝およびビアホールへの銅膜の埋め込みを繰り返すことで、図15に示すように、第2層銅配線12が埋設された第3層間絶縁膜11、第3層銅配線14が埋設された第4層間絶縁膜13を有する多層配線を形成する。本実施例においては、第3層銅配線14、第2層銅配線12を用いてインダクタ40を形成している。インダクタを形成する配線層数には制限はないが、少なくともシリコン基板に埋め込まれた低誘電率絶縁体ロッド8が配列されている低誘電率基板領域上に位置している必要がある。このインダクタの配置により、インダクタと基板とのカップリング容量（ $C_{ox}/2$ ）を低減し、損失を少なくできる。

【0028】

次に、図16に示すように、インダクタを形成した配線層上に第5層間絶縁膜15を成長させる。そしてRF回路領域100上の第5層間絶縁膜15表面に凹部16を形成し、さらに第5層間絶縁膜15、第4層間絶縁膜13を貫き、第3層間絶縁膜11に到達する開口17を形成する。なお、第5層間絶縁膜15の表面をシリコン酸化膜で覆っておいてよい。

その後、図17に示すように、凹部16および開口17を埋め込む軟磁性体材料膜18を第5層間絶縁膜15を覆うように形成する。軟磁性体材料膜18としては、スパッタ法により堆積したTa/TiW（TiWが下層）をバリアメタルとし、その上にFeNi膜を電解メッキ法により成長させる。バリアメタルとFeNiの間に1nm～10nm程度のRu、Irなどのバッファ金属を挟み込ん

でもよい。また、軟磁性体材料膜は、NiFeなどの軟磁性金属や(Ni, Zn)Fe₂O₄などの軟磁性フェライトの微粒子を、ラダーオキサイドやMSQやポーラス膜といった低誘電率絶縁膜に分散させた塗布膜を用いて形成してもよい。この場合、軟磁性体微粒子の粒子径は500nm程度以下が望ましい。第5層間絶縁膜15上の軟磁性体材料膜18をCMPで除去することで、平坦なプレーン部と基板面に垂直なロッド部とを有する高透磁率分離領域19が形成される(図18)。このようにインダクタ磁心部に高透磁率領域を形成することで、小型化されたインダクタであっても、そのインダクタンス(L)を増加させることができる。例えば、NiFe合金膜の場合、比透磁率は10から100であり、インダクタンス同一として、面積比で1/5程度の小型インダクタの形成が可能になる。

その後、高透磁率分離領域19が形成された第5層間絶縁膜15上を覆うカバー膜20を形成し、シリコン基板の裏面を研削して低誘電率絶縁体ロッド8の底面を露出させると、図8に示す本実施例の半導体デバイスを得ることができる。

【0029】

(第2の実施例)

図19(a)は、本発明の第2の実施例を示す平面図であり、図19(b)は、図19(a)のA-A'線の断面図である。図19において、図8に示す第1の実施例の部分と同等の部分には同一の参照符号を付し重複する説明は適宜省略する。本実施例の図8に示す第1の実施例と相違する点は、プレーン部とロッド部とを有する高透磁率分離領域(19)に代えプレーン部を有しない高透磁率分離ロッド21がインダクタの磁心およびその周囲に形成されていることと、低誘電率絶縁体ロッド8の底面が基板裏面から露出していない点である。

本実施例の製造方法は、図15に示す工程までは第1の実施例の場合と同じである。その後、インダクタ40を形成した配線層上に第5層間絶縁膜15を成長させ、インダクタ40の磁心およびその周囲に、第5層間絶縁膜15および第4層間絶縁膜13を貫き第3層間絶縁膜11に至る開口を形成する。開口の径は1μmから2μmが一般的であるが特に制限はない。ここで肝要なことは、開口の径に対して開口の深さが大きいこと、すなわちアスペクト比が1以上である

ことである。なお、第5層間絶縁膜の表面をシリコン酸塗化膜で覆っておいてもよい。

その後、バリアメタルとNiFe軟磁性金属を成長させ、第5層間絶縁膜15上の金属膜をCMPで除去することで、インダクタの磁心およびその周囲に、第5層間絶縁膜15、第4層間絶縁膜13を貫き、第3層間絶縁膜に到達するた高透磁率分離ロッド21が形成される。あるいは、(Ni, Zn)Fe₂O₄などの軟磁性体の微粒子を低誘電率絶縁膜に分散させた塗布材料を塗布し、第5層間絶縁膜15上の塗布膜をCMPで除去して高透磁率分離ロッド21を形成するようにもよい。その後、カバー膜20を堆積し、シリコン基板1の裏面を研削すると本実施例の半導体デバイスが得られる。研削は、シリコン基板厚が低誘電率絶縁体ロッドのシリコン基板内での長さの2倍以下になるように薄層化するのがよい。例えば、3μmφで深さ20μmの開口に比誘電率=2.5のMSQを埋め込んだ低誘電率絶縁体ロッドを6μmピッチで斜め方向に配列した場合、シリコン基板を40μmまで研削・薄膜化すると、インダクタと基板間のカップリング容量を50%低減することができる。

【0030】

(第3の実施例)

図20は、本発明の第3の実施例を示す断面図である。図20において、図8に示す第1の実施例の部分と同等の部分には同一の参照符号を付し重複する説明は適宜省略する。本実施例の図8に示す第1の実施例と相違する点は、インダクタ40の巻線配線上の第5層間絶縁膜15内に第4層銅配線22を形成し、さらにその上に第6層間絶縁膜23を形成しその内部に第5層銅配線24を埋設した点である。

本実施例の製造方法は、第5層間絶縁膜15を形成するまでの工程は第1の実施例の場合と同様である。第5層間絶縁膜15を堆積した後、第5層間絶縁膜15に配線溝およびビアホールを開設し、銅膜の形成とCMPにより第4層銅配線22を形成する。その後に第1の実施例と同様の方法を用いて高透磁率分離領域19を形成する。さらに、第6層間絶縁膜23、第5層銅配線24を形成しその上にカバー膜20を形成する。そして、シリコン基板の裏面を研削すると本実施

例の半導体デバイスが得られる。

【0031】

(第4の実施例)

図2.1は、本発明の第4の実施例を示す断面図である。図2.1において、図2.0に示す第3の実施例の部分と同等の部分には同一の参照符号を付し重複する説明は適宜省略する。本実施例の図2.0に示す第3の実施例と相違する点は、第3層間絶縁膜1.1の表面に形成された凹部内に、高透磁率分離領域1.9に接続された高透磁率分離プレーン2.5が埋設されている点である。

本実施例の製造方法は、第3層間絶縁膜1.1を形成するまでの工程は第1、第3の実施例の場合と同様である。第3層間絶縁膜1.1を堆積した後、第3層間絶縁膜1.1に配線溝およびビアホールを開設し、銅膜の形成とCMPにより第2層銅配線1.2を形成する。その後、第3層間絶縁膜1.1に凹部を形成し、バリアメタルとNiFe軟磁性金属を成長させ、第3層間絶縁膜1.1上の金属膜をCMPで除去することにより、高透磁率分離プレーン2.5を形成する。その後の工程は第3の実施例の場合と同様である。

【0032】

(第5の実施例)

図2.2は、本発明の第5の実施例を示す断面図である。本実施例は、SOI (silicon on insulator) 基板上にCMOSが形成されている半導体デバイスに関するものである。SOI基板には、RF回路領域1.00とデジタル回路領域(図示なし)とが設定されている。図2.2に示すように、シリコン基板1上には埋め込み酸化膜2.7を介して薄膜トランジスタであるnチャネルまたはpチャネル型のMOSFET3が形成されている。MOSFET3上は第1層間絶縁膜4で覆われ、第1層間絶縁膜4上にはコンタクトプラグ5aを介してMOSFET3のソース・ドレイン領域と接続される第1層配線1.0aが形成されている。

MOSFET3の周囲には、第1層間絶縁膜4および埋め込み酸化膜2.7を貫通してシリコン基板1の内部に到達する開口が開設されており、この開口内は低誘電率絶縁物が埋設されており、これにより低誘電率絶縁体ロッド8が形成されている。図示は省略されているが、本実施例においても第1～第4の実施例と同

様に、第1層配線上に1ないし複数層の層間絶縁膜が形成され多層配線が形成されている。そして、RF回路領域100の層間絶縁膜内にはインダクタおよび高透磁率領域とが形成されている。

【0033】

(第6の実施例)

図23は、本発明の第6の実施例を示す断面図である。本実施例は化合物半導体デバイスに本発明を適用した場合に関する。図23に示すように、半絶縁性GaAs基板28上には、分離領域であるH⁺注入高抵抗領域29に囲まれた領域内に、コレクタ領域を構成するn+-GaAs層30とn--GaAs層31とが形成され、その上にベース領域を構成するp+-GaAs層32が形成されており、その上にエミッタ領域を構成するn-InGaAs層33とコンタクト層であるn-InGaAs層34が形成されている。n+-GaAs層30上にはコレクタ電極となるAu/Ni/AuGe層35が形成され、p+-GaAs層32上にはベース電極となるAu/Pt/Ti層36が形成されている。また、n-InGaAs層34上にはエミッタ電極を構成するWSi層37とAu/Pt/Ti層38とが形成されている。

H⁺注入高抵抗領域29上とトランジスタ上は第1層間絶縁膜4で覆われ、第1層間絶縁膜4上にはコンタクトプラグ5aを介してトランジスタの各電極と接続される第1層配線10aが形成されている。

トランジスタの周囲には、第1層間絶縁膜4およびH⁺注入高抵抗領域29を貫通して半絶縁性GaAs基板28の内部に到達する開口が開設されており、この開口内は低誘電率絶縁物が埋設されており、これにより低誘電率絶縁体ロッド8が形成されている。図示は省略されているが、本実施例においても第1～第4の実施例と同様に、第1層配線上に1ないし複数層の層間絶縁膜が形成され多層配線が形成されている。そして、RF回路領域100の層間絶縁膜内にはインダクタおよび高透磁率領域とが形成されている。

【0034】

(第7の実施例)

図24(a)は、本発明の第7の実施例を示す平面図であり、図24(b)は

図24(a)のA-A'線での断面図である。本実施例はオンチップアンテナを有する半導体デバイスに本発明を適用した場合に関する。図24において、図8に示す第1の実施例の部分と同等の部分には同一の参照符号を付し重複する説明は適宜省略する。本実施例においては、半導体チップの周辺部に周辺高抵抗領域400が設けられ、半導体チップの内側にRF回路領域100とデジタル回路領域200とが設けられている。周辺高抵抗領域400においては、第1層間絶縁膜4およびシャロートレンチ素子分離膜2を貫通し、シリコン基板1内部に到達する低誘電率絶縁体ロッド8が形成されている。そして、周辺高抵抗領域400上においては、第5層間絶縁膜15内の第4層銅配線を利用してオンチップアンテナ配線41が形成されている。

オンチップアンテナ配線41は、多層配線を介してRF回路領域100内に形成されたMOSFETに接続されている。

【0035】

無線機能を有する半導体チップには、電波を送受信するアンテナが必要不可欠である。このアンテナを、絶縁膜上、例えばアルミナセラミックス上に形成したチップを別に作製しておき、このチップをRF回路を有する半導体チップに外付けする方法もある。しかし、この場合、チップ間接続部での損失やノイズ混入する技術課題や、小型化が困難といった課題があった。一方、オンチップ上にアンテナを形成することでこれらの技術課題を解決することができるが、例えば従来シリコン半導体チップ上にアンテナを形成しても、シリコン基板が低抵抗であるため電波がシールドされ、効率のよいアンテナを形成することができなかつた。

第7の実施例では、図24に示すように、チップの周辺部に低誘電率絶縁体ロッド8が埋め込まれた高抵抗かつ低誘電率な周辺高抵抗領域400を形成し、半導体チップの最上層配線層にアンテナを形成している。周辺部に設置するのは、アンテナ長を長くして送受信効率を上げるためである。なお、ここでは、ループ形状のアンテナをチップ周辺に設置したが、アンテナの形状には制限がない。例えば、チップの1辺部のみに設置したI字型でも、2辺部のみに設置したL字型でも、3辺部のみに設置したU字型でもよい。また、多重ループ構造でもよい。

【0036】

(第8の実施例)

図25(a)は、本発明の第8の実施例を示す平面図であり、図25(b)は図25(a)のA-A'線での断面図である。図25において、図24に示した第7の実施例の部分と同等の部分には同一の参照符号を付し重複する説明は適宜省略する。本実施例の図24に示した第7の実施例と相違する点は、図25に示すように、アンテナ配線が多層に積層された構造となっている点とこの積層構造のオンチップアンテナ配線41の内周部に接地されたシールド配線42が併設されている点である。ここで、多層アンテナ配線は、チップ外周部を周回する、層間絶縁膜を貫通するスリット状の開口内に埋設されたアンテナ配線を多段に積層した構造となっている。すなわち、チップの周辺部に最上層配線から最下層配線にいたるアンテナ配線の壁が形成された構造となっている。なお、アンテナ配線は必ずしも最上層配線から最下層配線にいたるまで形成されている必要はない。上層配線の2層分など多層にわたってアンテナ配線が形成されていてもよい。本実施例においては、アンテナ配線の内側にシールド配線42が設置されるが、このシールド配線も周回するスリット状の開口に埋め込まれた配線を多段に積層した構造となっている。すなわち、最上層配線から最下層配線にいたるシールド配線の壁が形成されており、この壁によりアンテナ配線からの電磁ノイズを遮断する構造となっている。なお、かかる多層アンテナ配線と多層シールド配線はチップ外周から進入する湿気を遮断する機能も合わせ持っている。

【0037】

【発明の効果】

以上説明したように、本発明の半導体デバイスは、インダクタ形成領域下の半導体基板内に低誘電率膜を埋設した低誘電率絶縁体ロッドを配置しさらに基板厚を薄くしたものであるので、インダクター基板間の容量結合を低く抑えることができると共に基板に誘導される電流を低減することができる。また、本発明の半導体デバイスは、インダクタ形成領域に、高いアスペクト比を有する開口内を軟磁性材料にて埋め込んだ高透磁率材料ロッドを設けたものであるので、渦電流を抑制しつつインダクタの小型化を実現することができる。また、インダクタ形成領域の開口内を軟磁性材料と低誘電率材料との混合材を埋設した実施例によれば

インダクタの小型化を実現できるとともに巻線間容量を低減することができる。したがって、本発明によれば、インダクタを含むR F回路を低損失かつ小型化することができ、デジタル信号処理機能と高性能のR F回路を混載した半導体チップを実現することができる。

本発明において、半導体基板に特に限定はないが、CMOSデバイスの形成されたシリコン半導体基板に対しては、低誘電率絶縁膜ロッドを埋め込んだ領域を形成することで、本質的に低抵抗材料であるシリコン基板の一部に高抵抗かつ低誘電率な低R Fノイズ伝播領域を任意の位置に形成できるので特に有効である。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態を示す断面図。

【図2】 本発明の第2の実施の形態を示す断面図。

【図3】 本発明の低誘電率材料が埋設される開口の配置状態を示す平面図(その1)。

【図4】 本発明の低誘電率材料が埋設される開口の配置状態を示す平面図(その2)。

【図5】 本発明の第3の実施の形態を示す断面図。

【図6】 本発明の第4の実施の形態を示す断面図。

【図7】 本発明に係る半導体デバイスを複数個搭載した装置の使用状態を示すブロック図。

【図8】 本発明の第1の実施例の平面図と断面図。

【図9】 本発明の第1の実施例の製造方法を説明するための平面図と断面図(その1)。

【図10】 本発明の第1の実施例の製造方法を説明するための平面図と断面図(その2)。

【図11】 本発明の第1の実施例の製造方法を説明するための平面図と断面図(その3)。

【図12】 本発明の第1の実施例の製造方法を説明するための平面図と断面図(その4)。

【図13】 本発明の第1の実施例の製造方法を説明するための平面図と断

面図（その5）。

【図14】 本発明の第1の実施例の製造方法を説明するための平面図と断面図（その6）。

【図15】 本発明の第1の実施例の製造方法を説明するための平面図と断面図（その7）。

【図16】 本発明の第1の実施例の製造方法を説明するための平面図と断面図（その8）。

【図17】 本発明の第1の実施例の製造方法を説明するための平面図と断面図（その9）。

【図18】 本発明の第1の実施例の製造方法を説明するための平面図と断面図（その10）。

【図19】 本発明の第2の実施例の平面図と断面図。

【図20】 本発明の第3の実施例の断面図。

【図21】 本発明の第4の実施例の断面図。

【図22】 本発明の第5の実施例の断面図。

【図23】 本発明の第6の実施例の断面図。

【図24】 本発明の第7の実施例の断面図。

【図25】 本発明の第8の実施例の断面図。

【図26】 送・受信機能を備えた半導体チップのブロック図。

【図27】 半導体基板上に形成されたインダクタの平面図とその等価回路図。

【図28】 第1の従来技術の断面図。

【図29】 第2の従来技術の断面図。

【符号の説明】

- 1 シリコン基板
- 2 シャロートレンチ素子分離膜
- 3 M O S F E T
- 4 第1層間絶縁膜
- 5 Wコンタクトプラグ

- 5 a コンタクトプラグ
- 6 開口
- 7 低誘電率絶縁膜
- 8 低誘電率絶縁体ロッド
- 9 第2層間絶縁膜
- 10 第1層銅配線
- 10 a 第1層配線
- 11 第3層間絶縁膜
- 12 第2層銅配線
- 13 第4層間絶縁膜
- 14 第3層銅配線
- 15 第5層間絶縁膜
- 16 凹部
- 17 開口
- 18 軟磁性体材料膜
- 19 高透磁率分離領域
- 20 カバー膜
- 21 高透磁率分離ロッド
- 22 第4層銅配線
- 23 第6層間絶縁膜
- 24 第5層銅配線
- 25 高透磁率分離プレーン
- 27 埋め込み酸化膜
- 28 半絶縁性GaN基板
- 29 H⁺注入高抵抗領域
- 30 n⁺-GaN層
- 31 n⁻-GaN層
- 32 p⁺-GaN層
- 33 n-AlGaN層

- 3 4 n-InGaAs層
- 3 5 Au/Ni/AuGe層
- 3 6 Au/Pt/Ti層
- 3 7 WSi層
- 3 8 Au/Pt/Ti層
- 4 0 インダクタ
- 4 1 オンチップアンテナ配線
- 4 2 シールド配線
- 5 1 半導体基板
- 5 2 積層絶縁膜
- 5 3 インダクタ
- 5 4 低誘電率充填物
- 5 5 高透磁率充填物
- 5 5 a ロッド部
- 5 5 b プレーン部
- 6 0 RF回路・デジタル回路混載チップ
- 6 1 RF通信回路領域
- 6 1 a LNA
- 6 1 b 送信信号生成回路
- 6 1 c スイッチ回路
- 6 2 デジタルベースバンド
- 6 2 a A/D回路
- 6 2 b デジタル信号処理回路
- 6 2 c D/A回路
- 6 3 メモリ領域
- 7 1、8 1 シリコン基板
- 7 2 シリコン酸化膜
- 7 3、8 3 インダクタ
- 8 2 絶縁膜

84 磁気コア

100 RF回路領域

200 デジタル回路領域

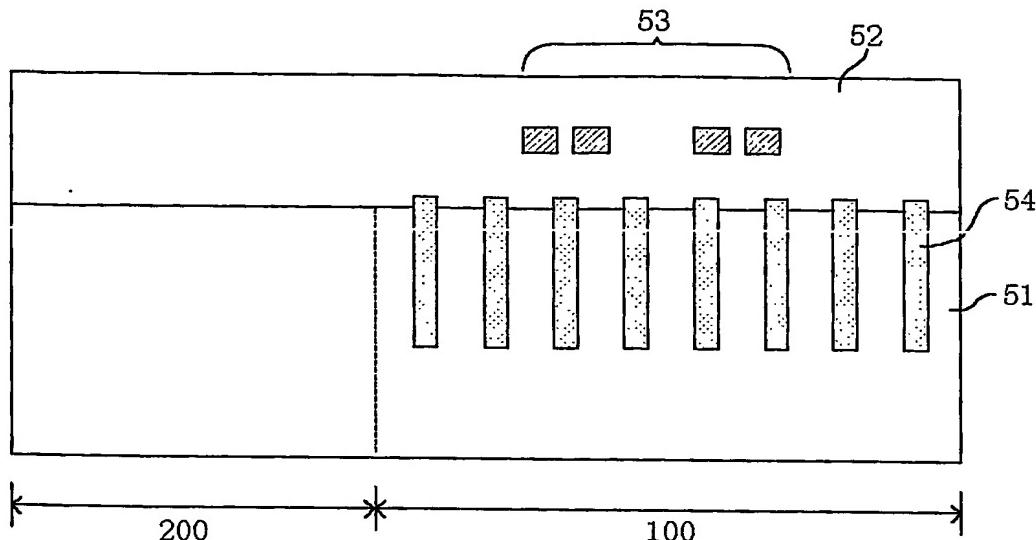
300 高透磁率領域

400 周辺高抵抗領域

【書類名】

図面

【図1】

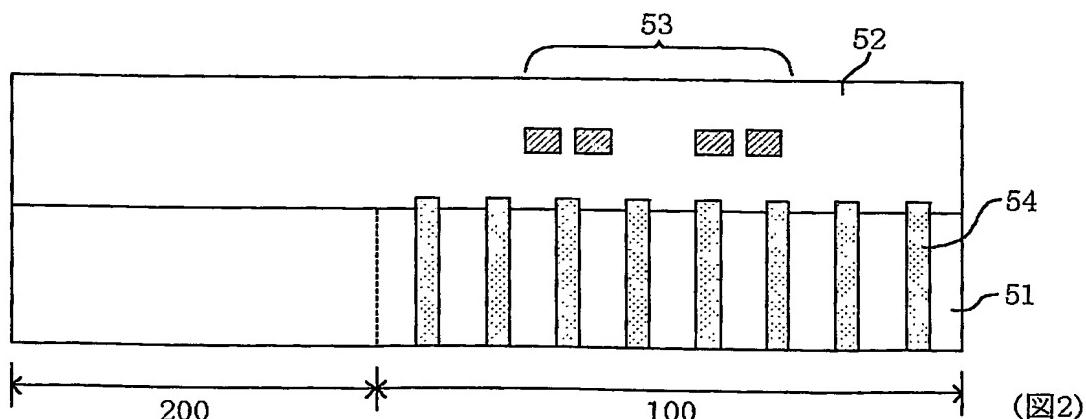


51 半導体基板
52 積層絶縁膜
53 インダクタ

54 低誘電率充填物
100 RF回路領域
200 デジタル回路領域

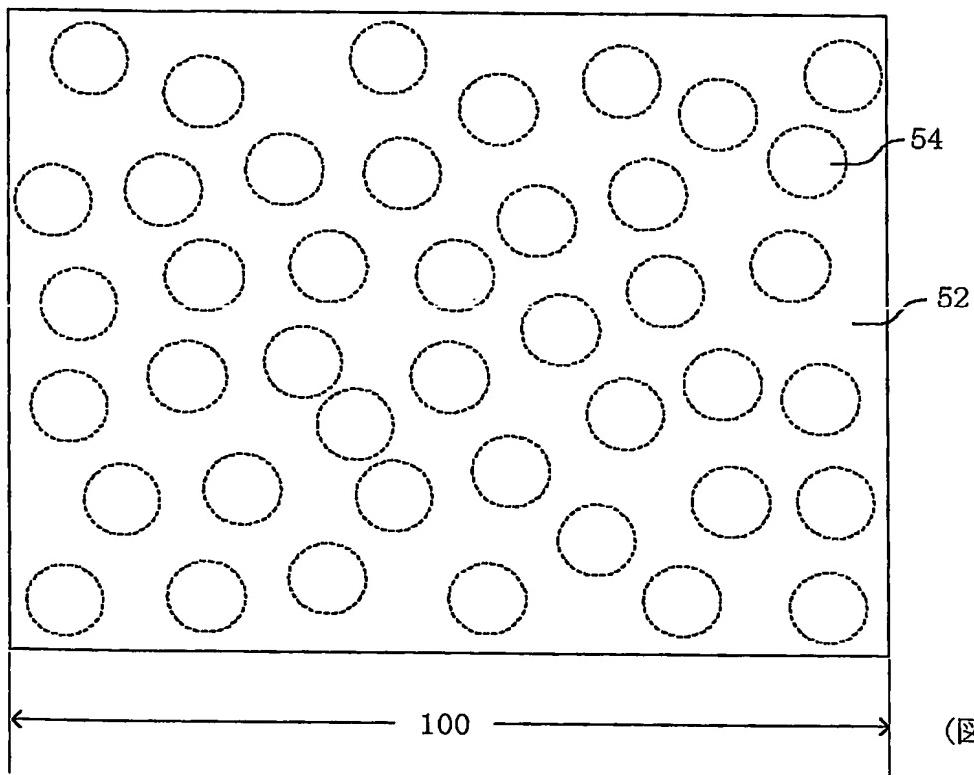
(図1)

【図2】



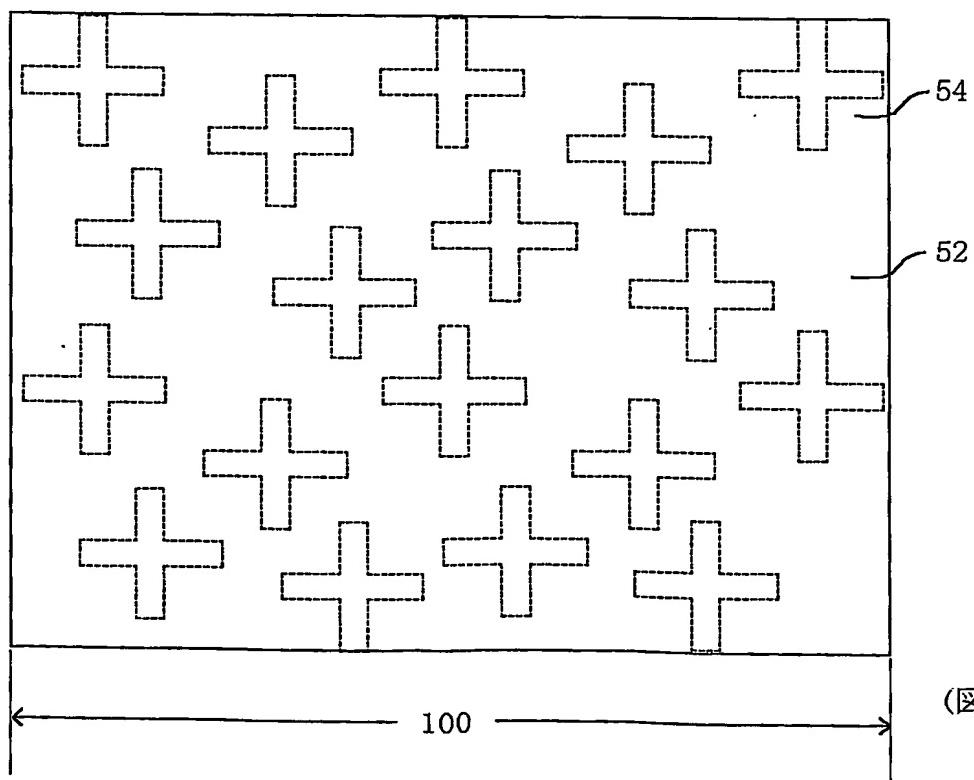
(図2)

【図3】



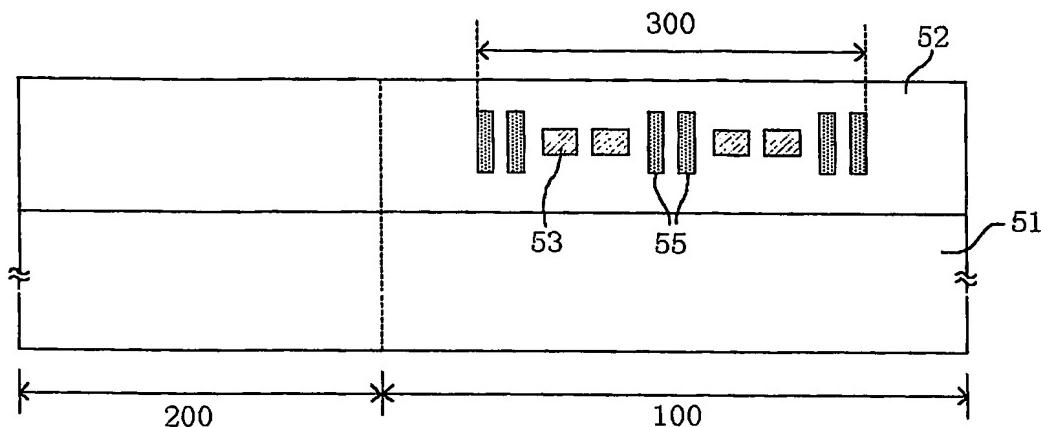
(図3)

【図4】



(図4)

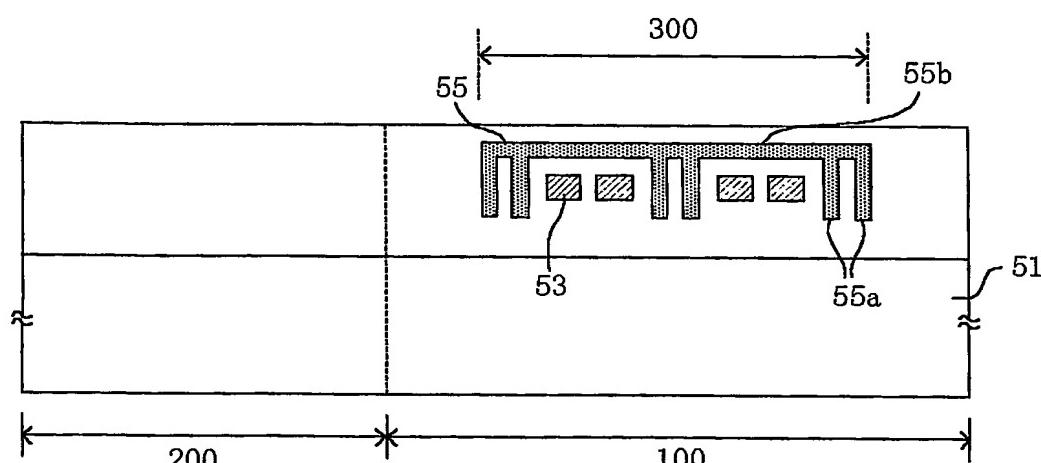
【図5】



55 高透磁率充填物
300 高透磁率領域

(図5)

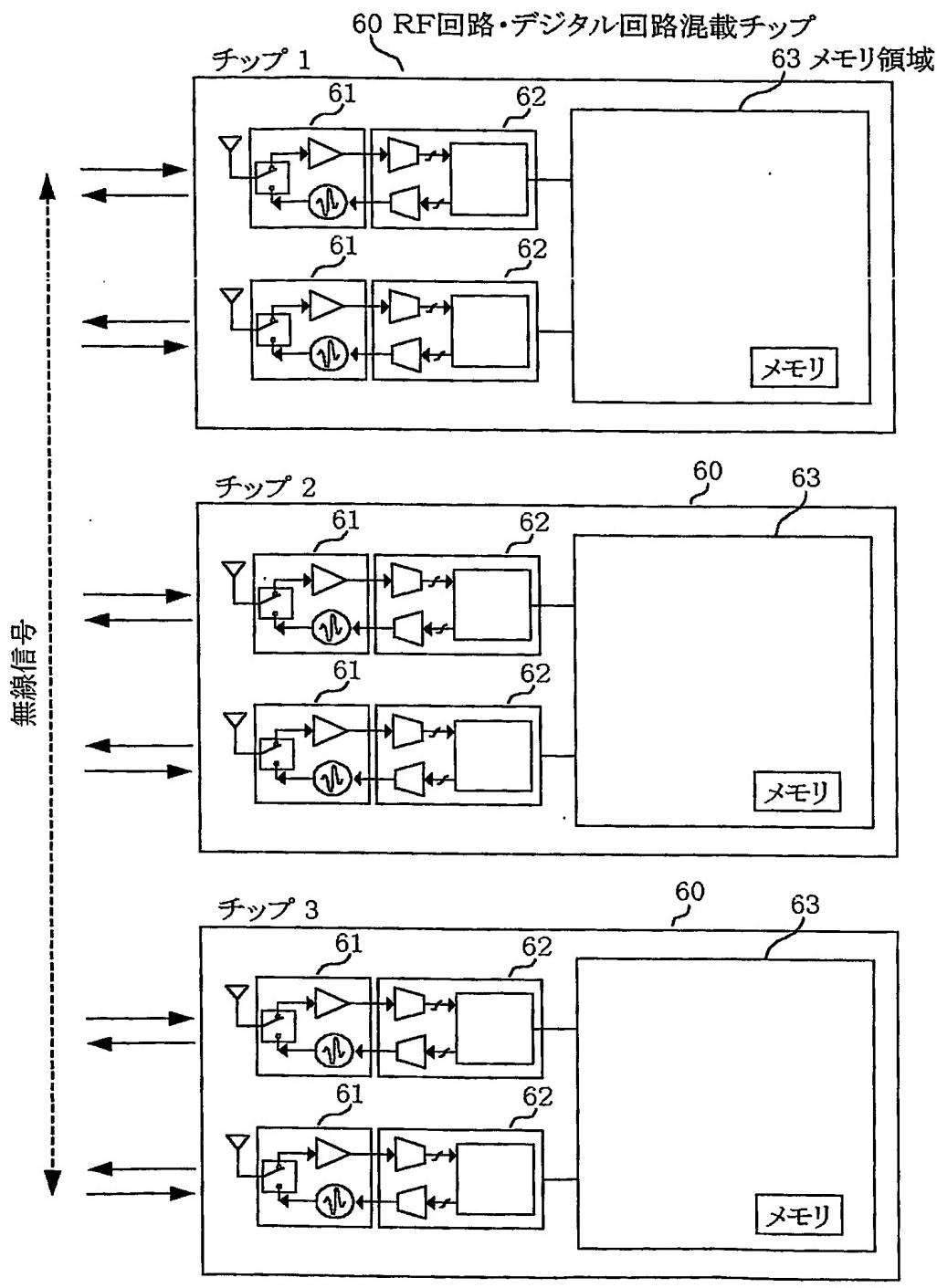
【図6】



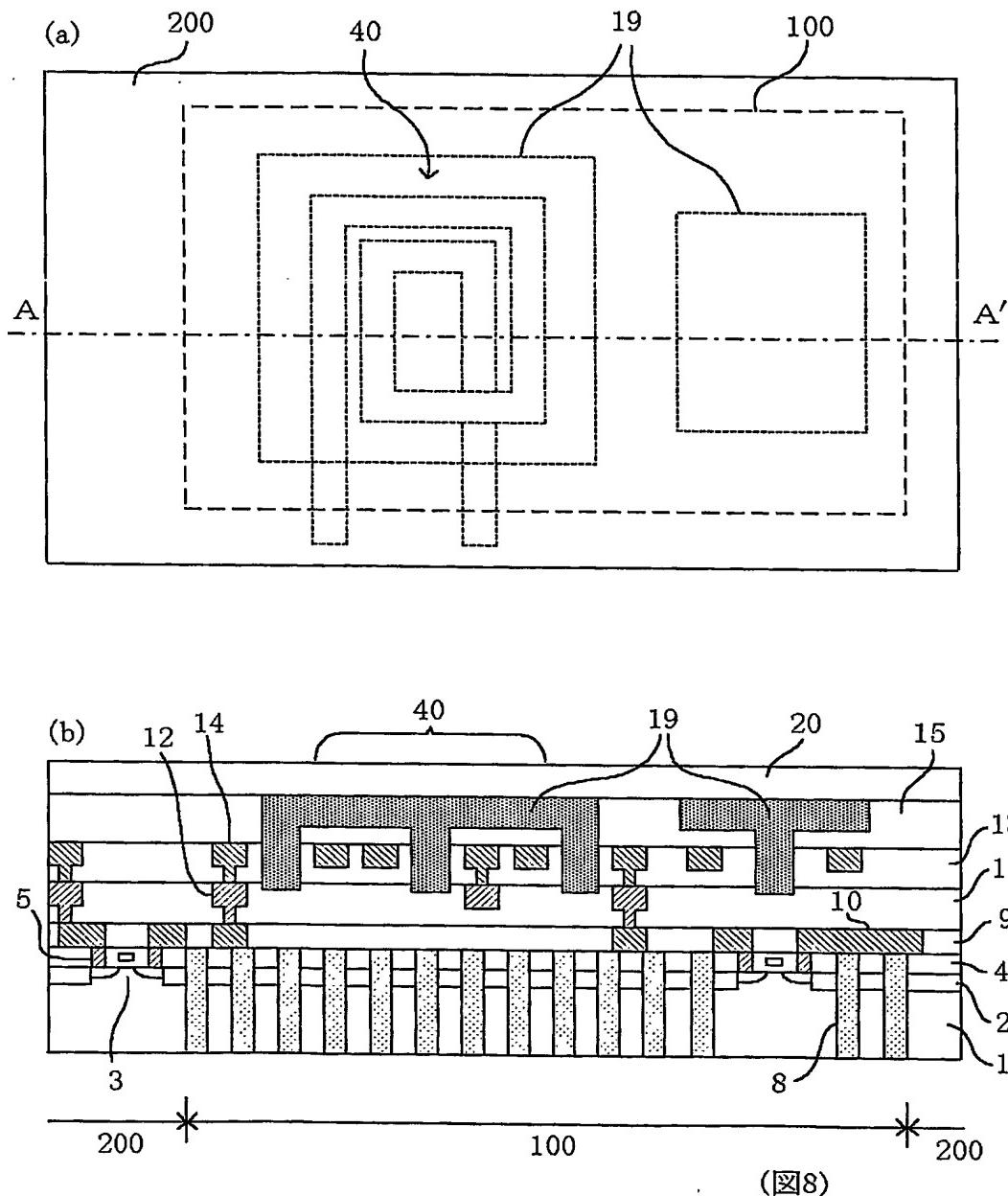
55a ロッド部
55b プレーン部

(図6)

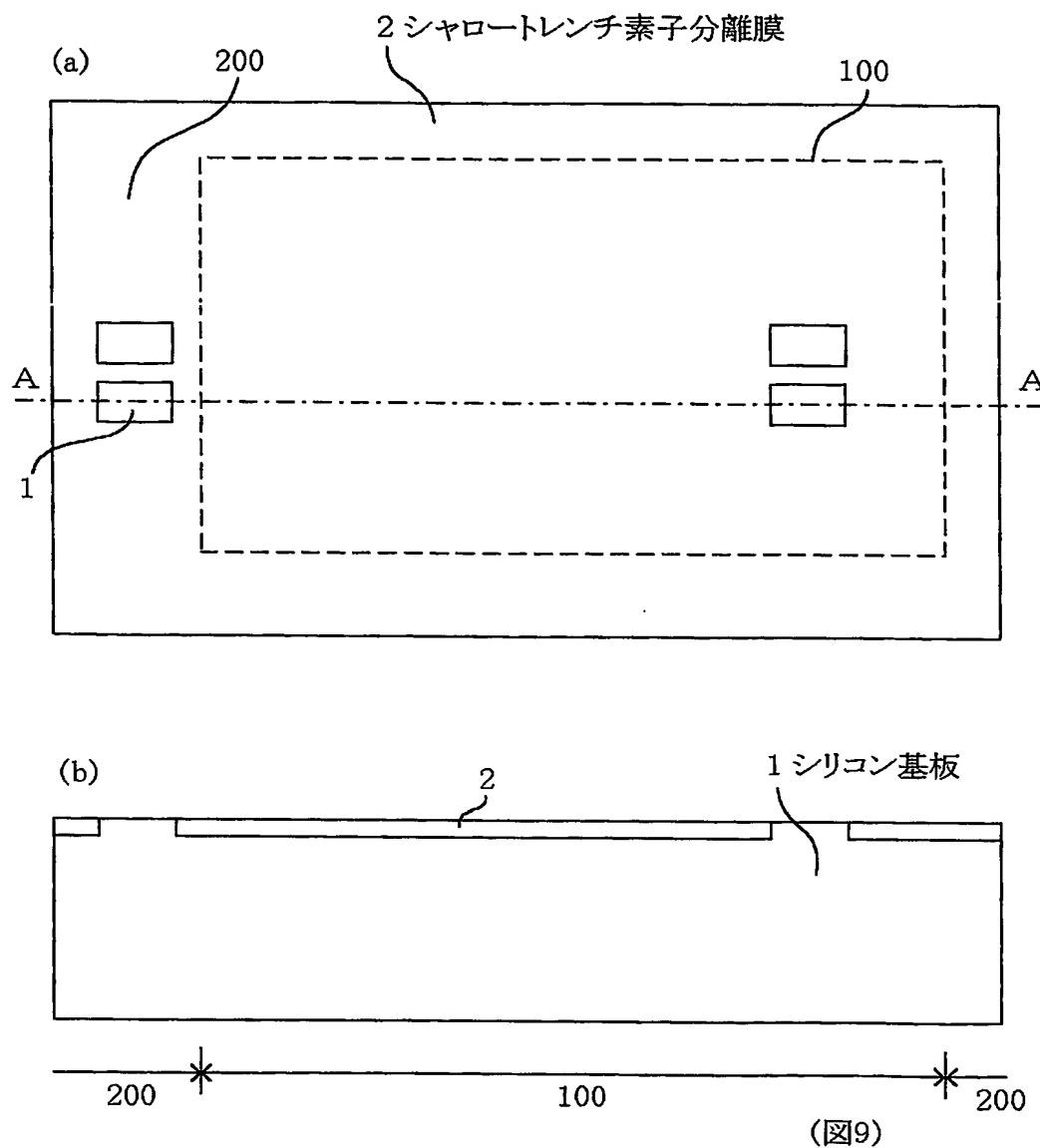
【図7】



【図8】

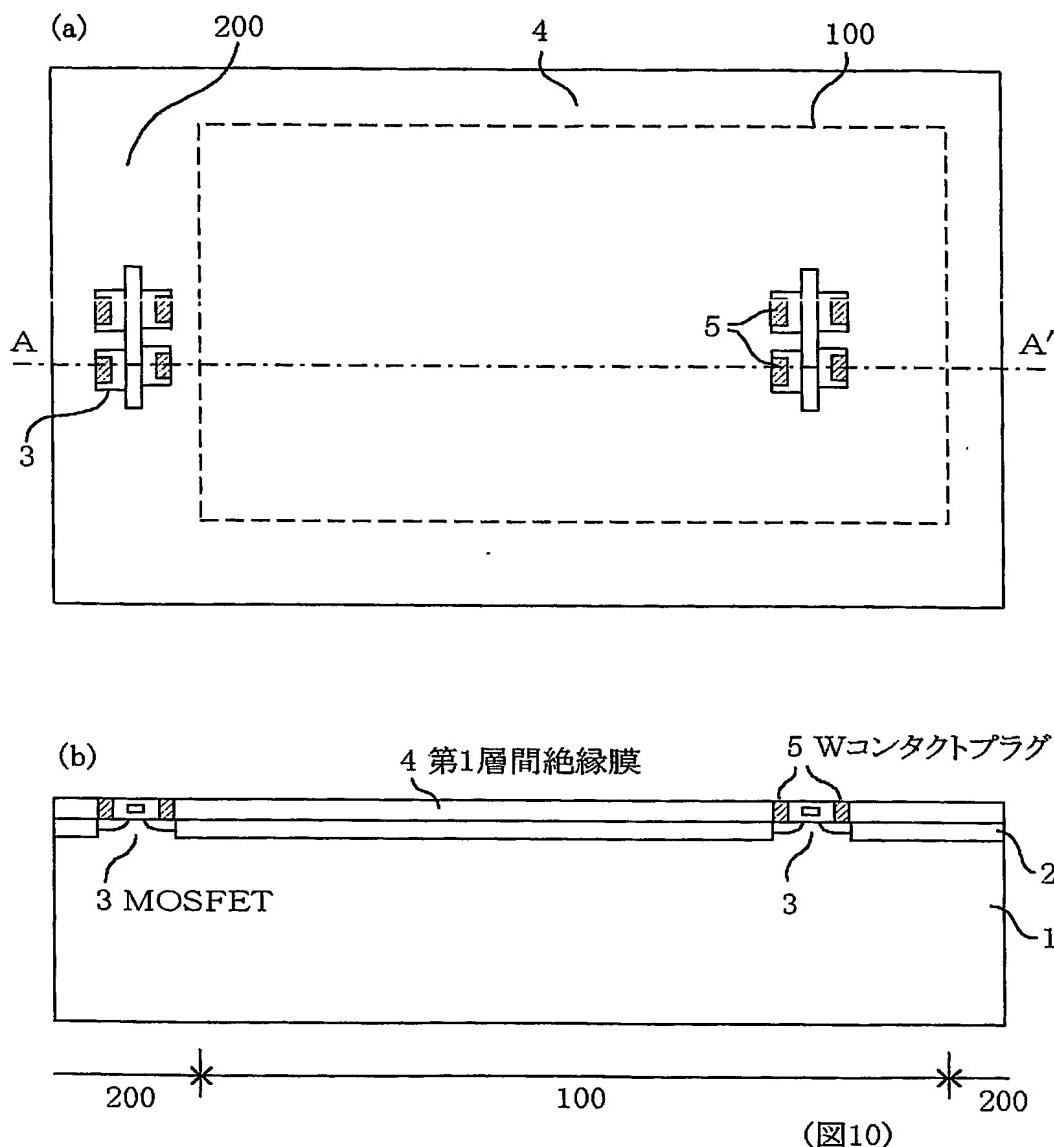


【図9】



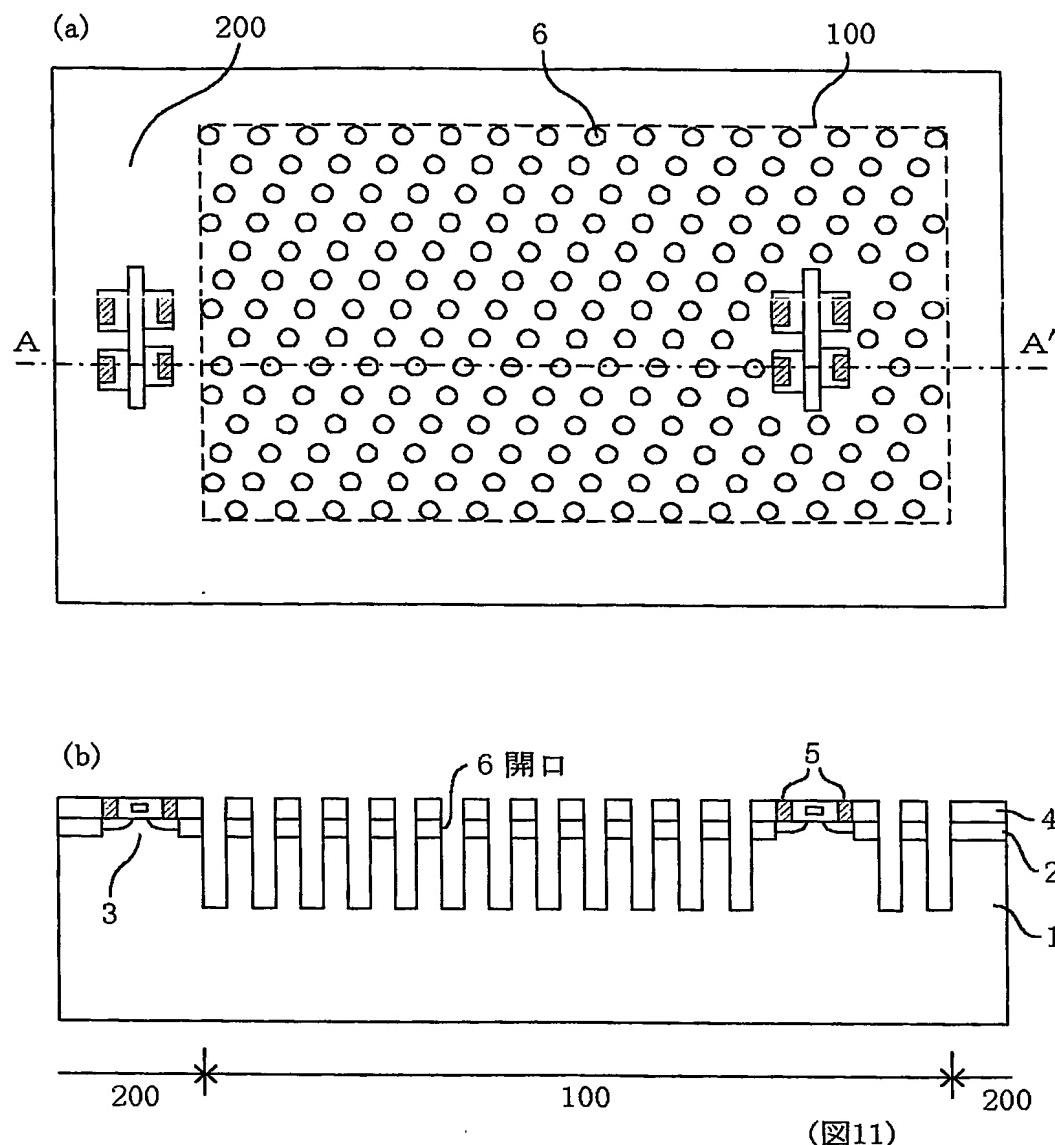
(図9)

【図10】

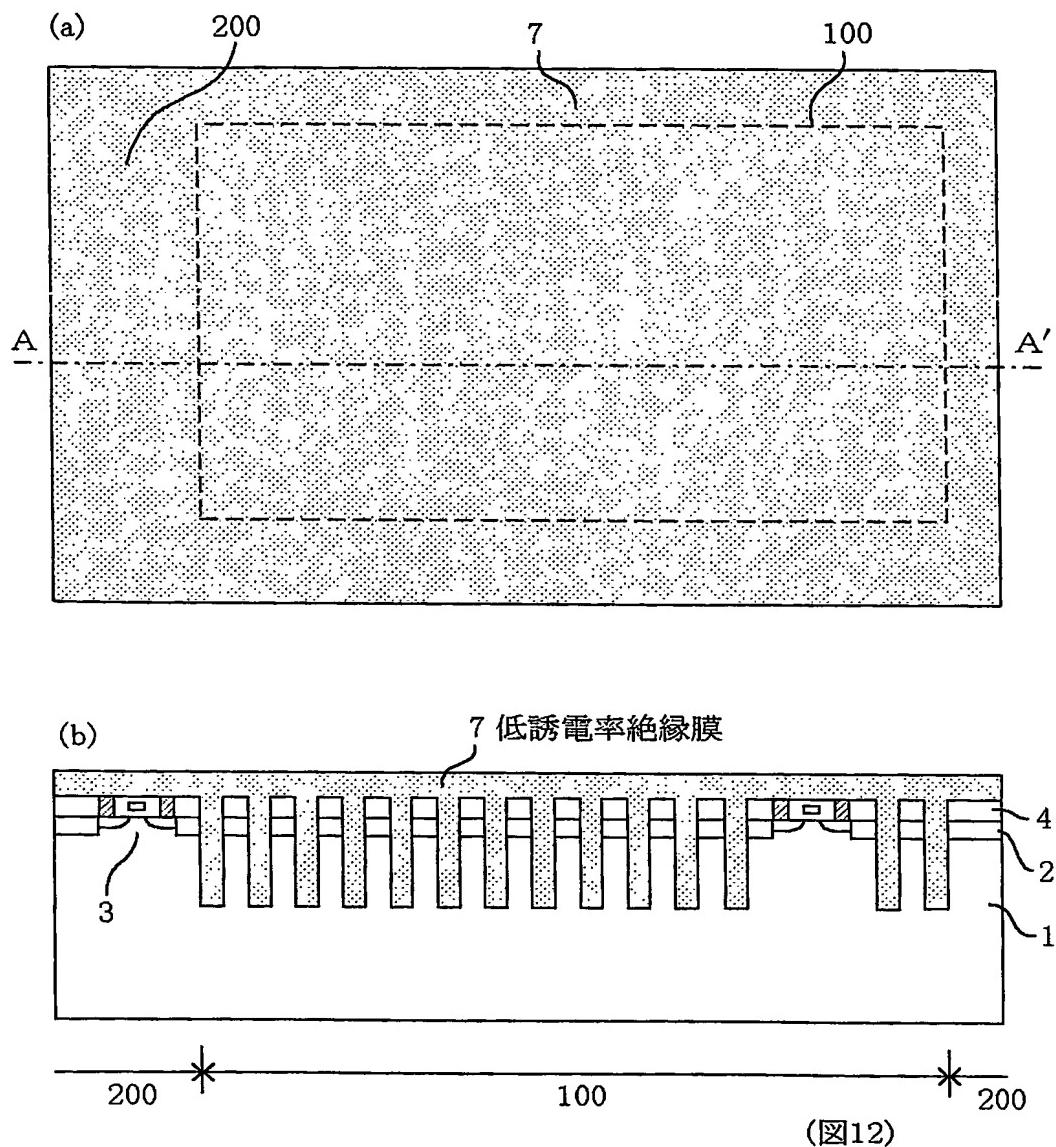


(図10)

【図11】

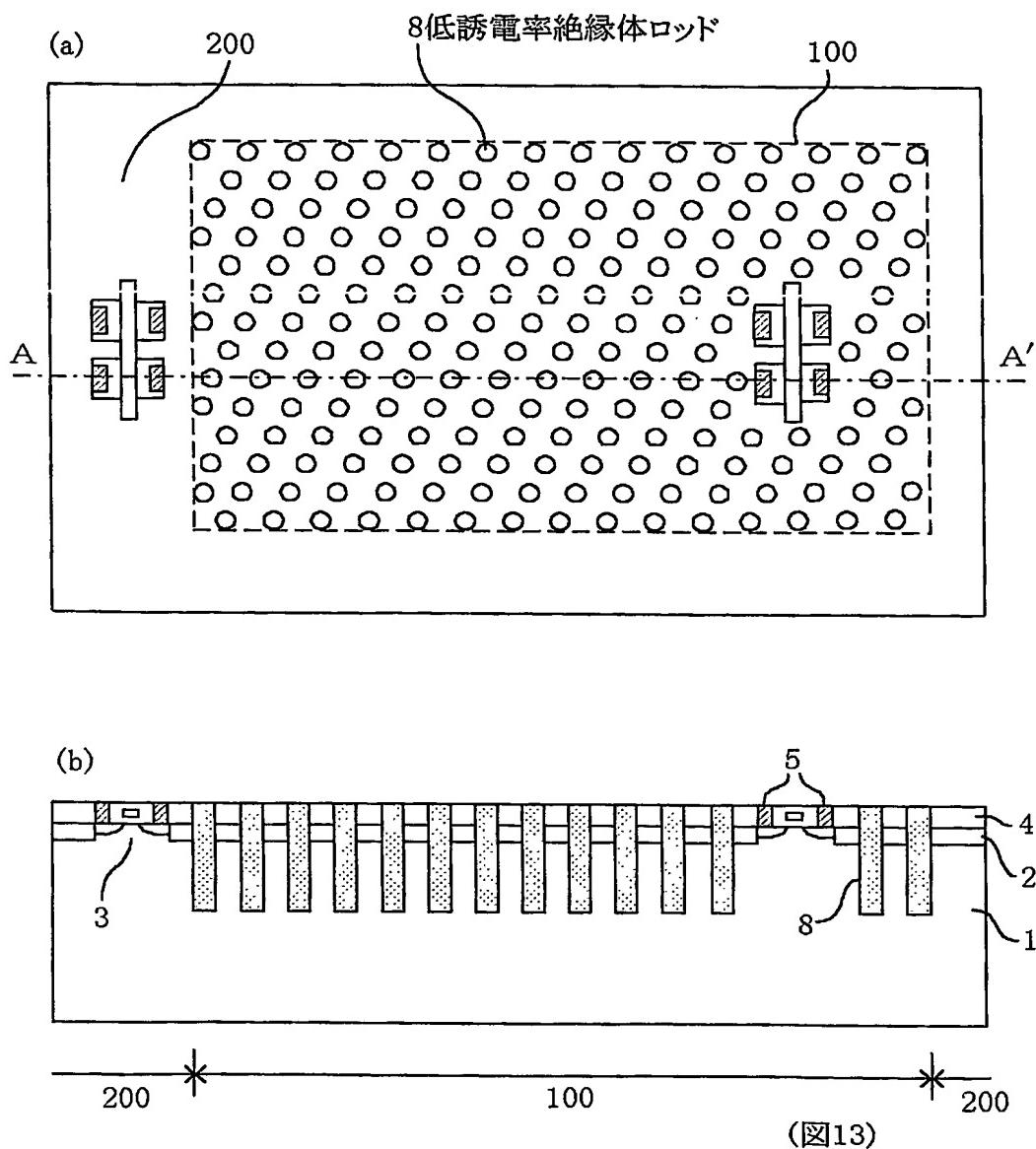


【図12】

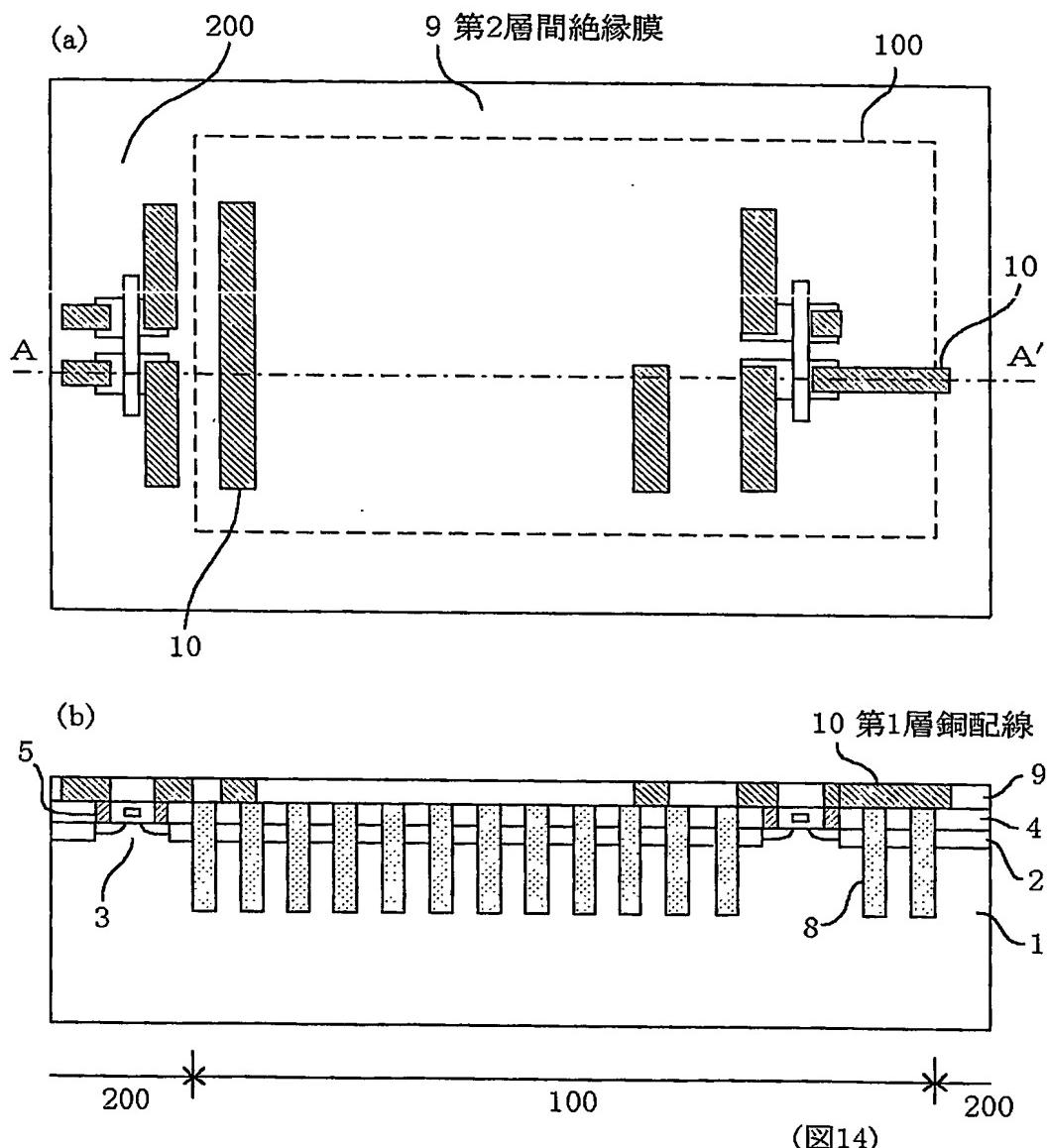


(図12)

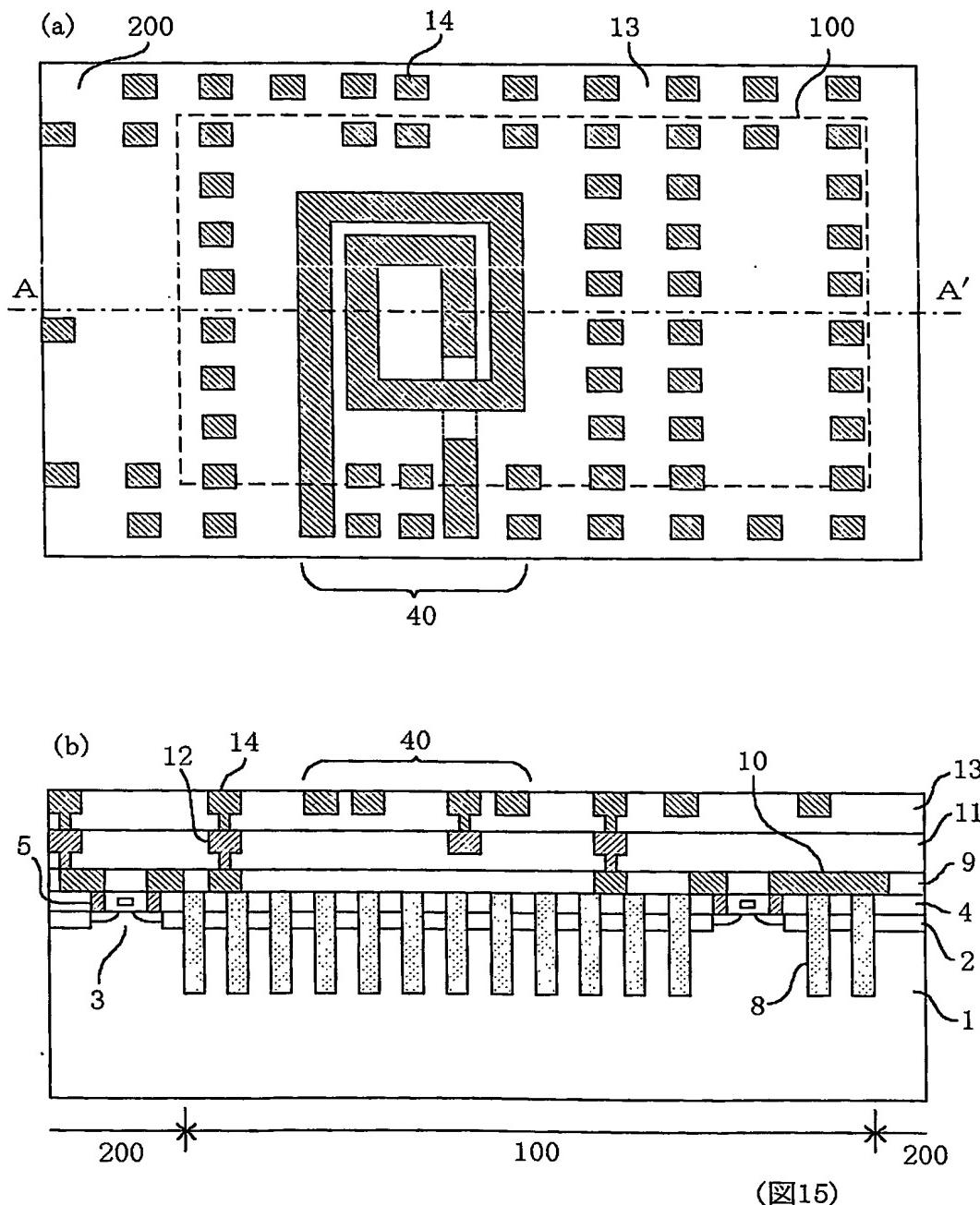
【図13】



【図14】



【図15】



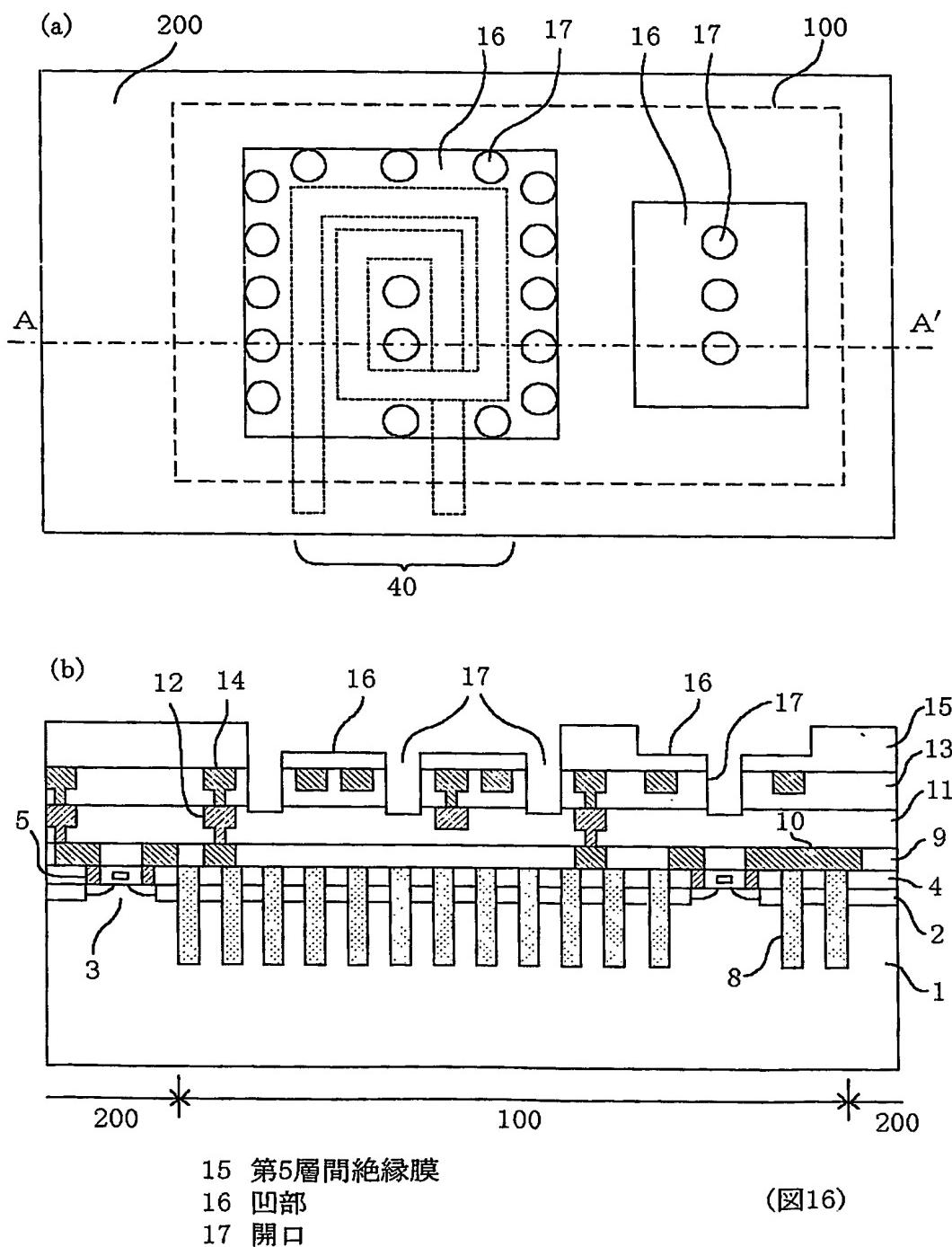
(図15)

11 第3層間絶縁膜
12 第2層銅配線

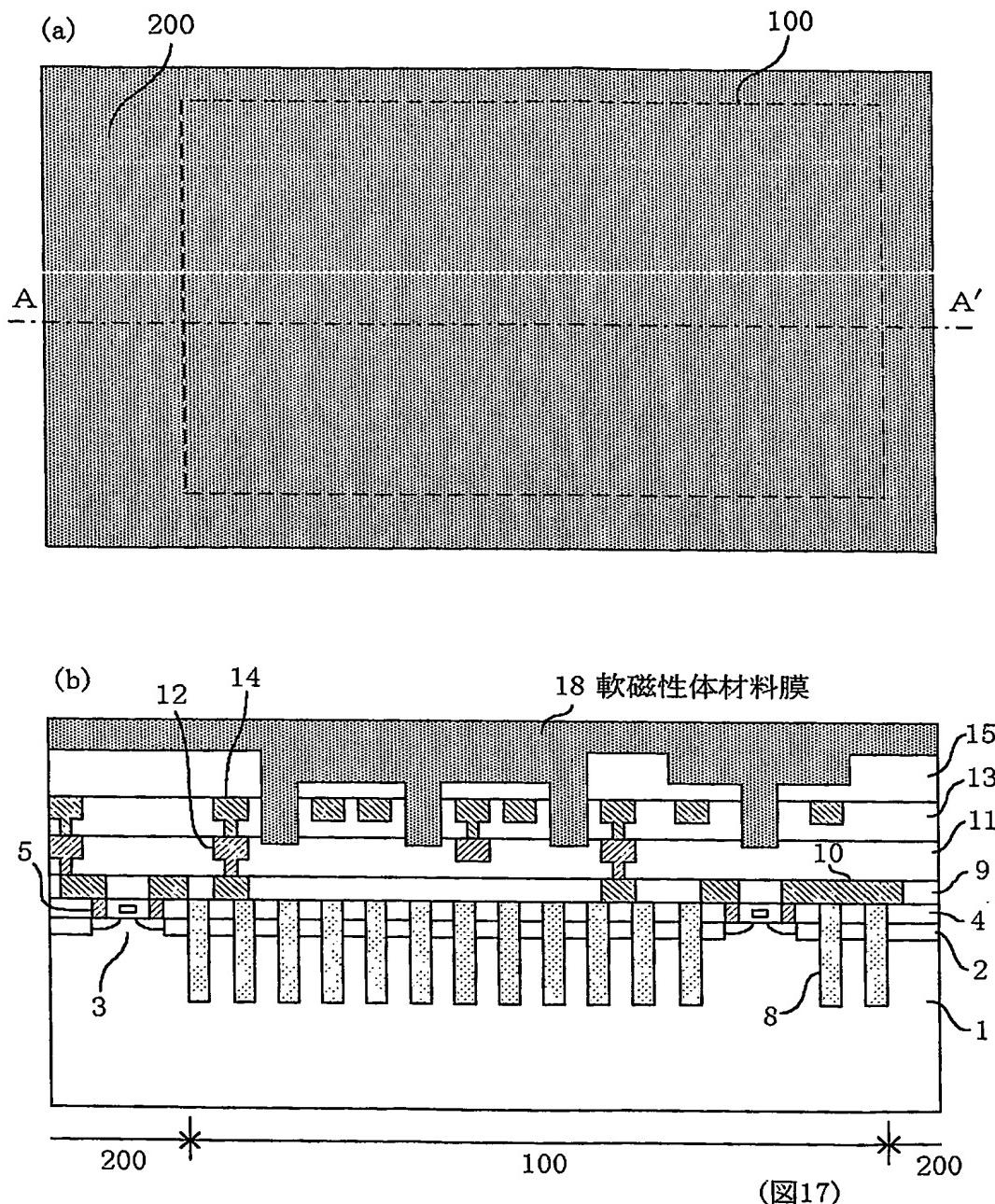
13 第4層間絶縁膜
14 第3層銅配線

40 インダクタ

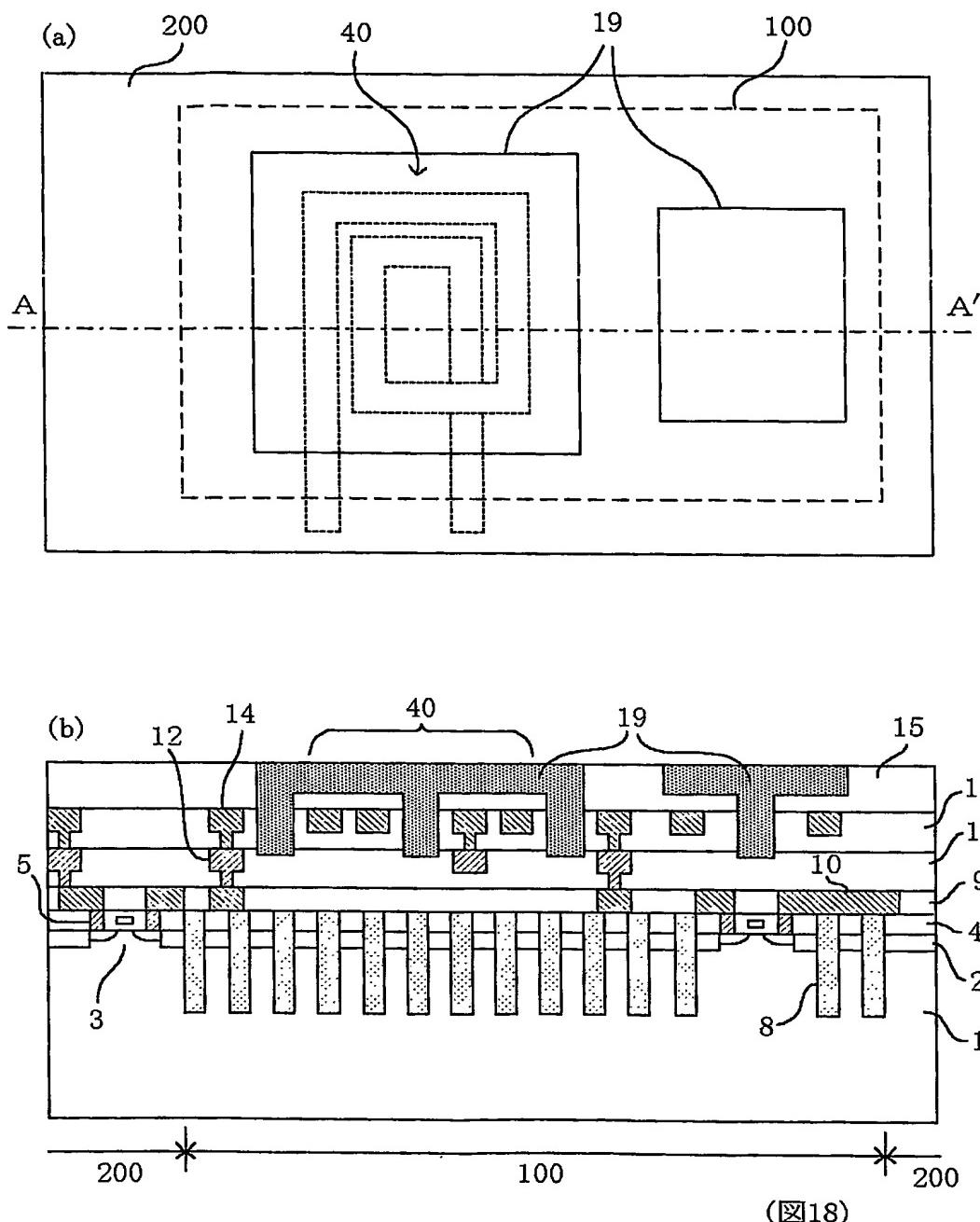
【図16】



【図17】

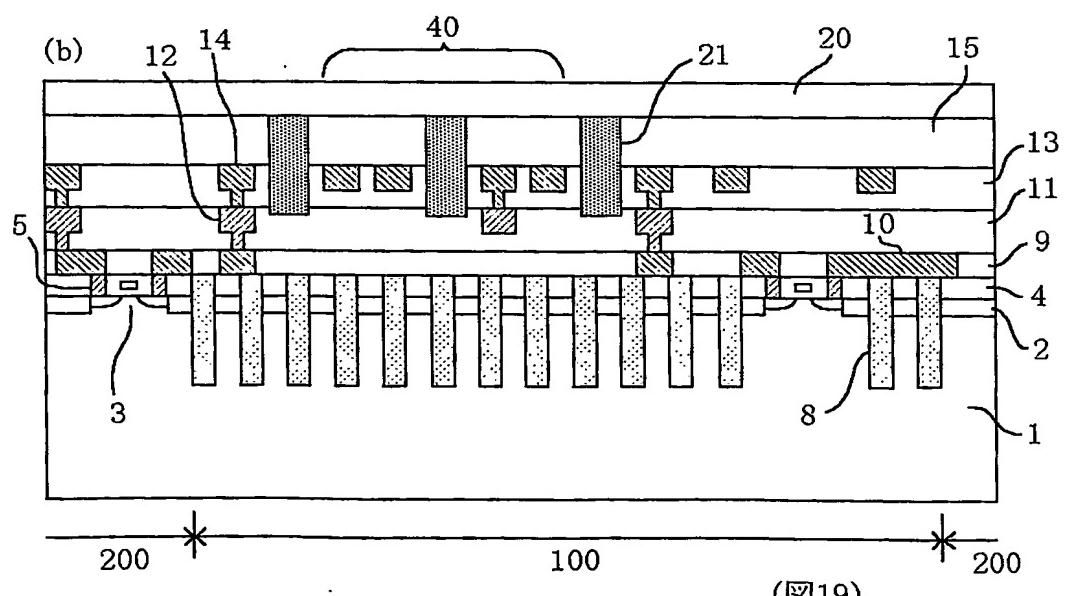
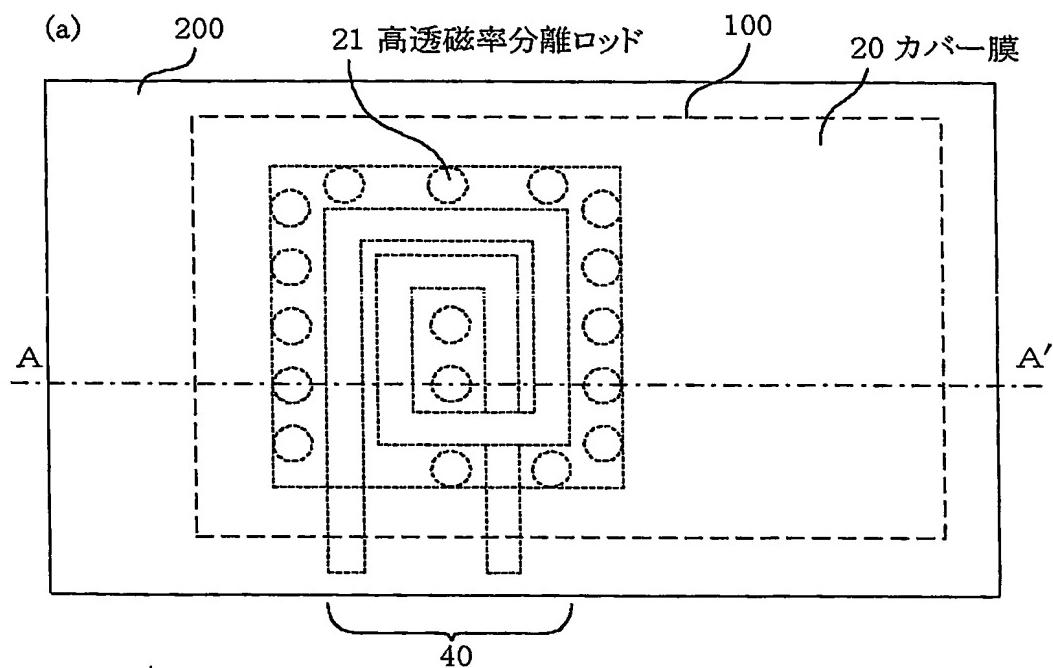


【図18】

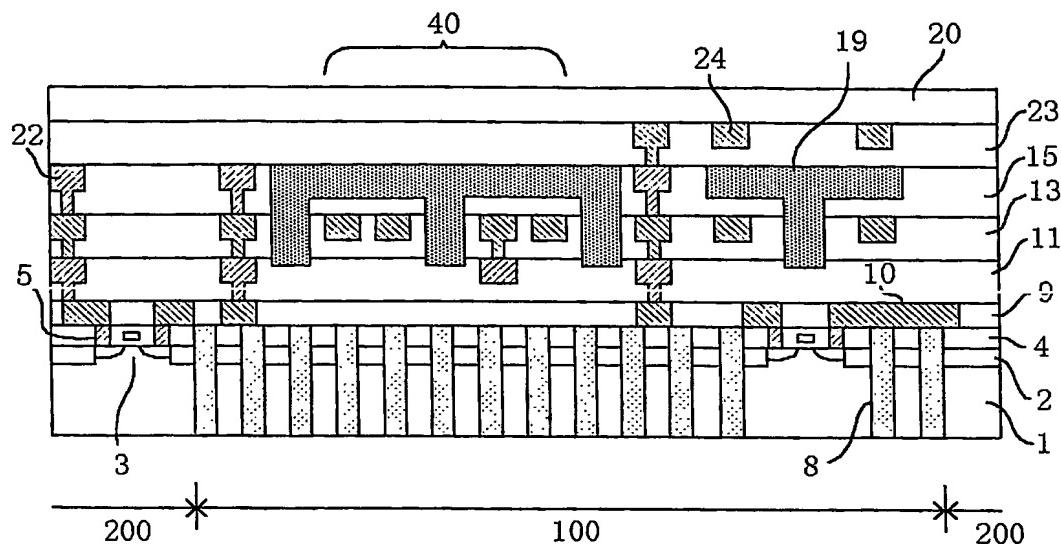


(図18)

【図19】



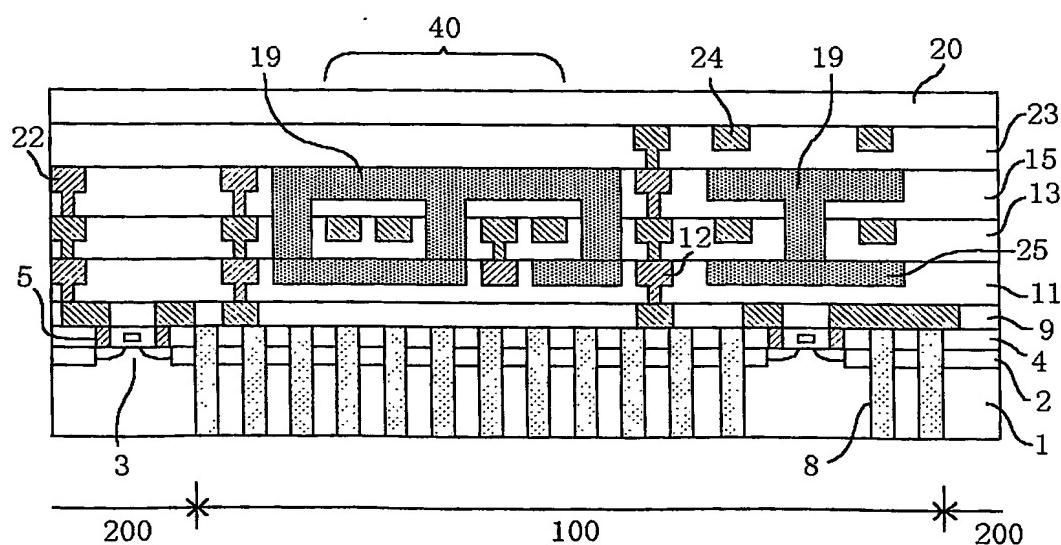
【図20】



22 第4層銅配線
23 第6層間絶縁膜

(図20)

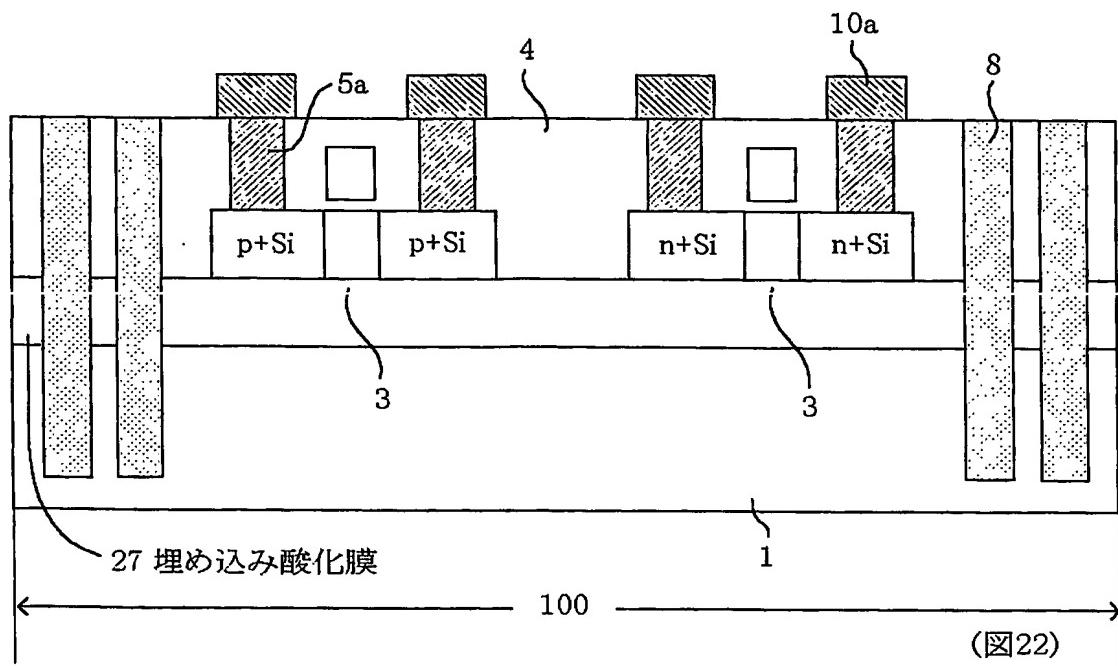
【図21】



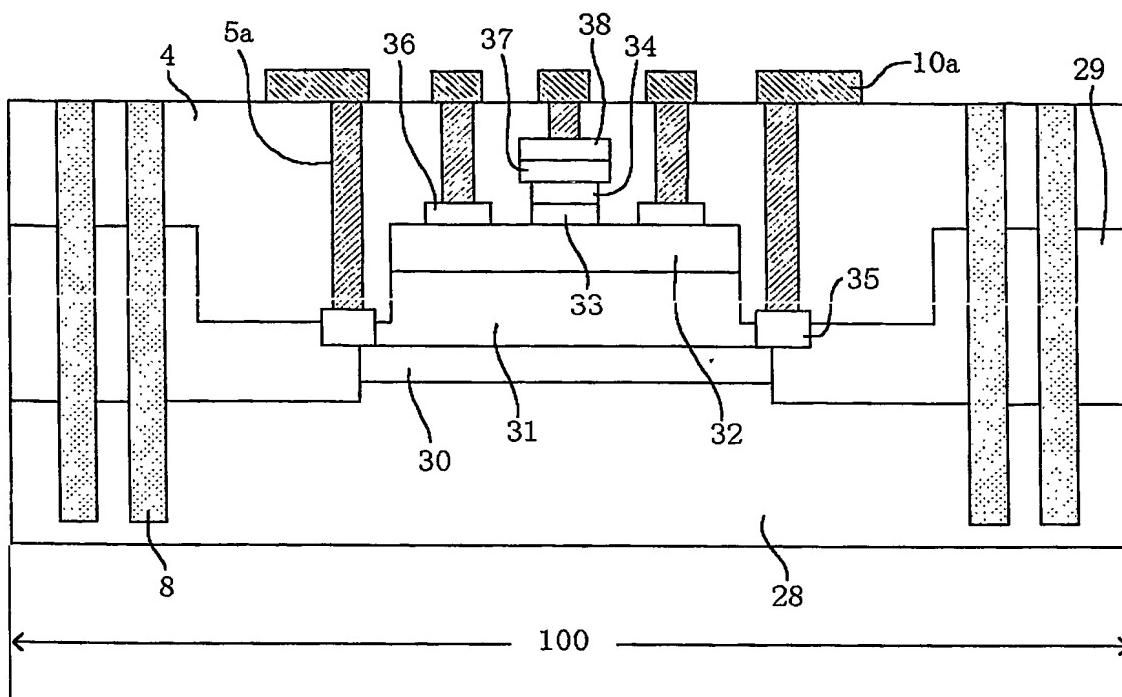
24 第5層銅配線
25 高透磁率分離プレーン

(図21)

【図22】



【図23】

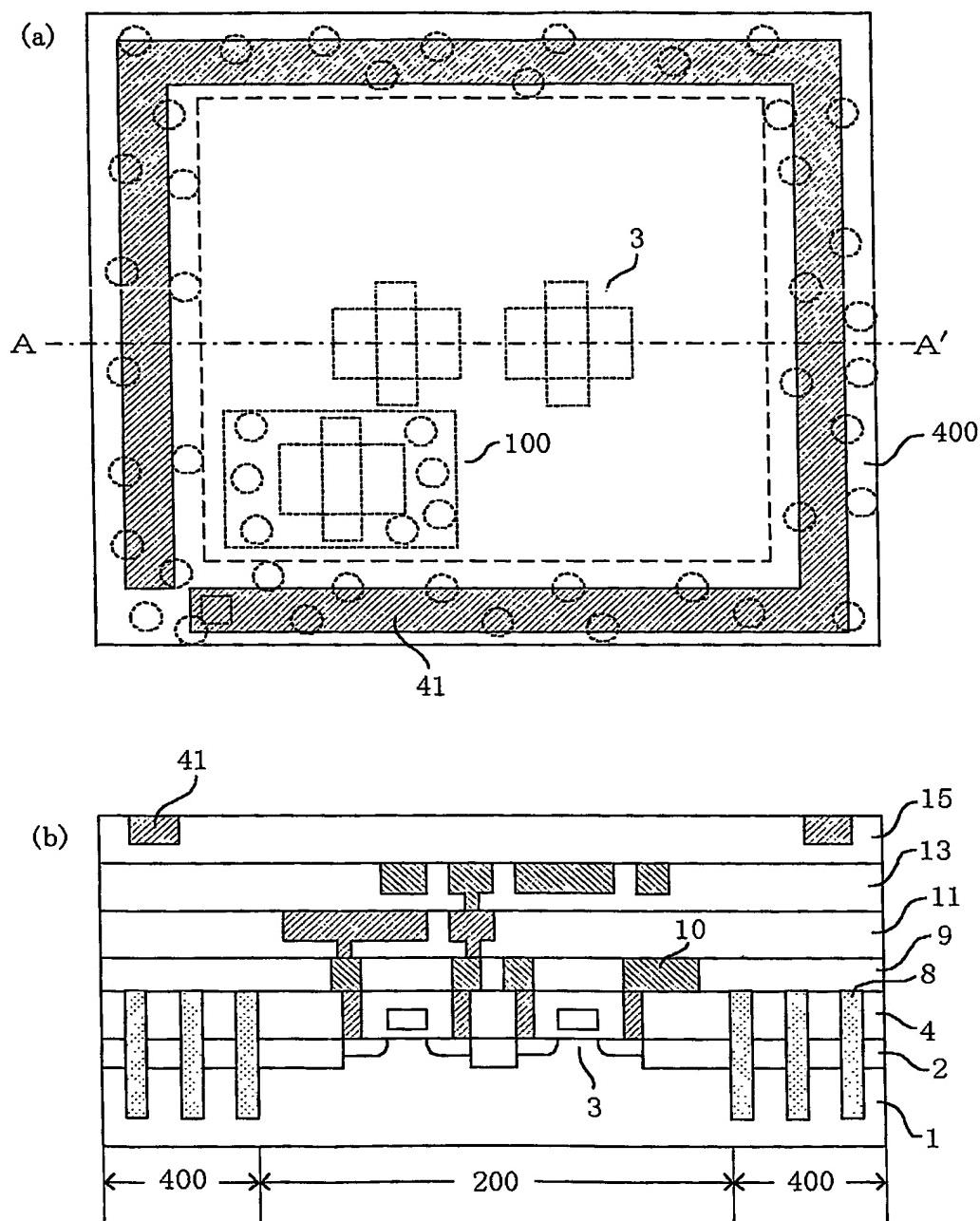


28 半絶縁性GaAs基板
 29 H^+ 注入高抵抗領域
 30 n^+ -GaAs層
 31 n^- -GaAs層
 32 p^+ -GaAs層

33 n -AlGaAs層
 34 n -InGaAs層
 35 Au/Ni/AuGe層
 36、38 Au/Pt/Ti層
 37 WSi層

(図23)

【図24】

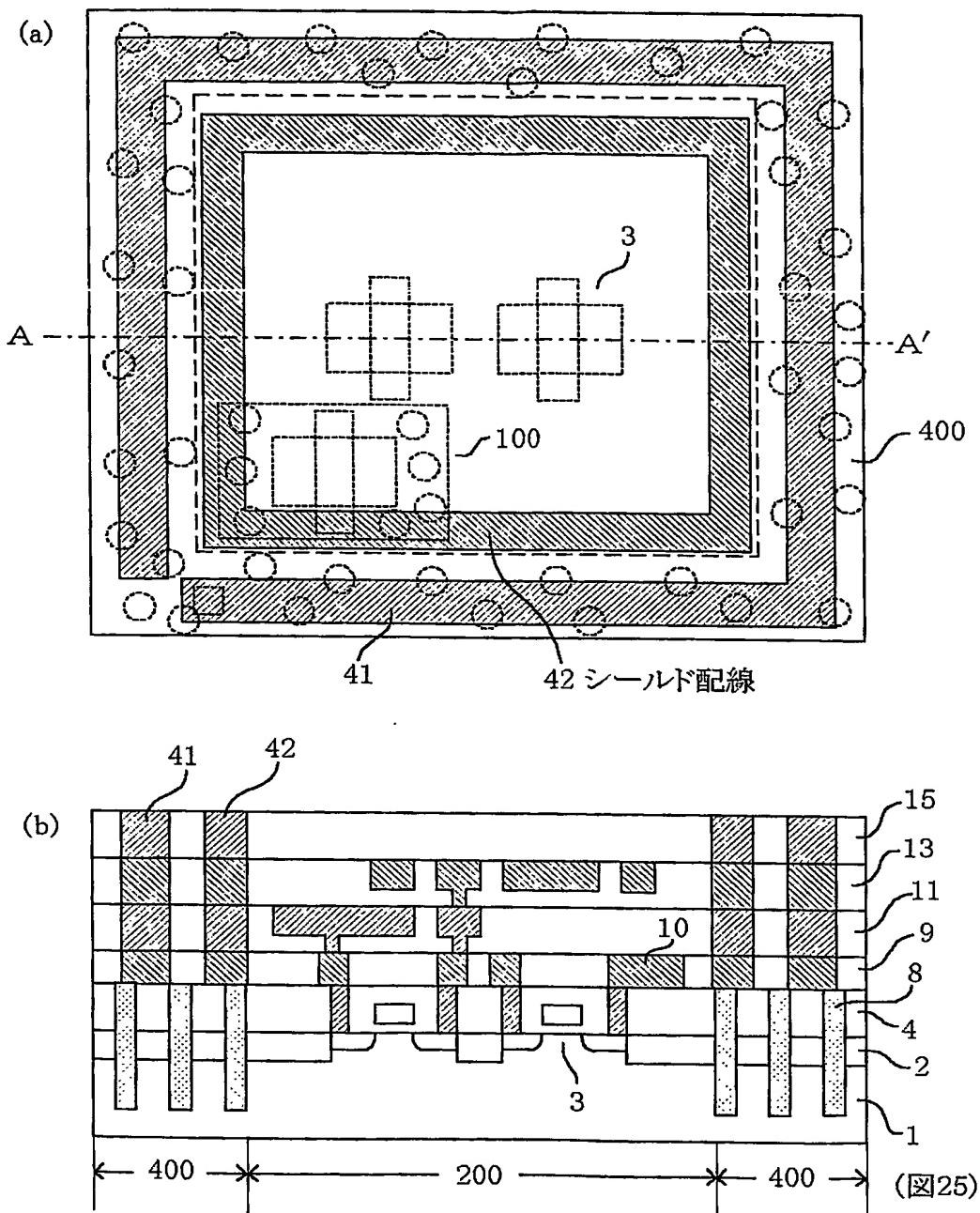


41 オンチップアンテナ配線

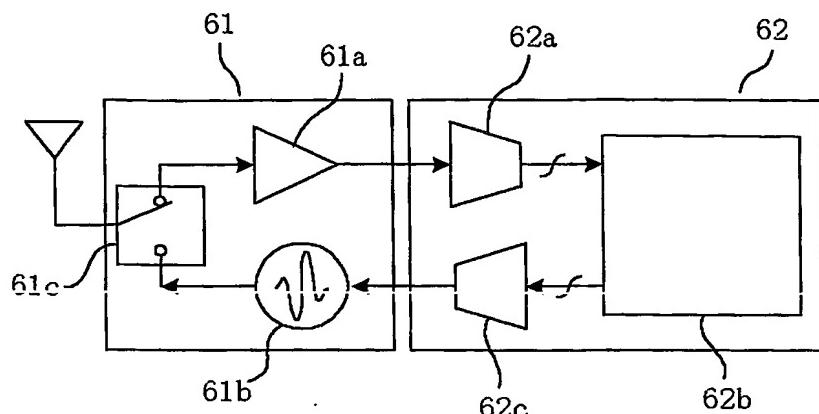
400 周辺高抵抗領域

(図24)

【図25】



【図26】



(図26)

61 RF通信回路領域

61a LNA

61b 送信信号生成回路

61c スイッチ回路

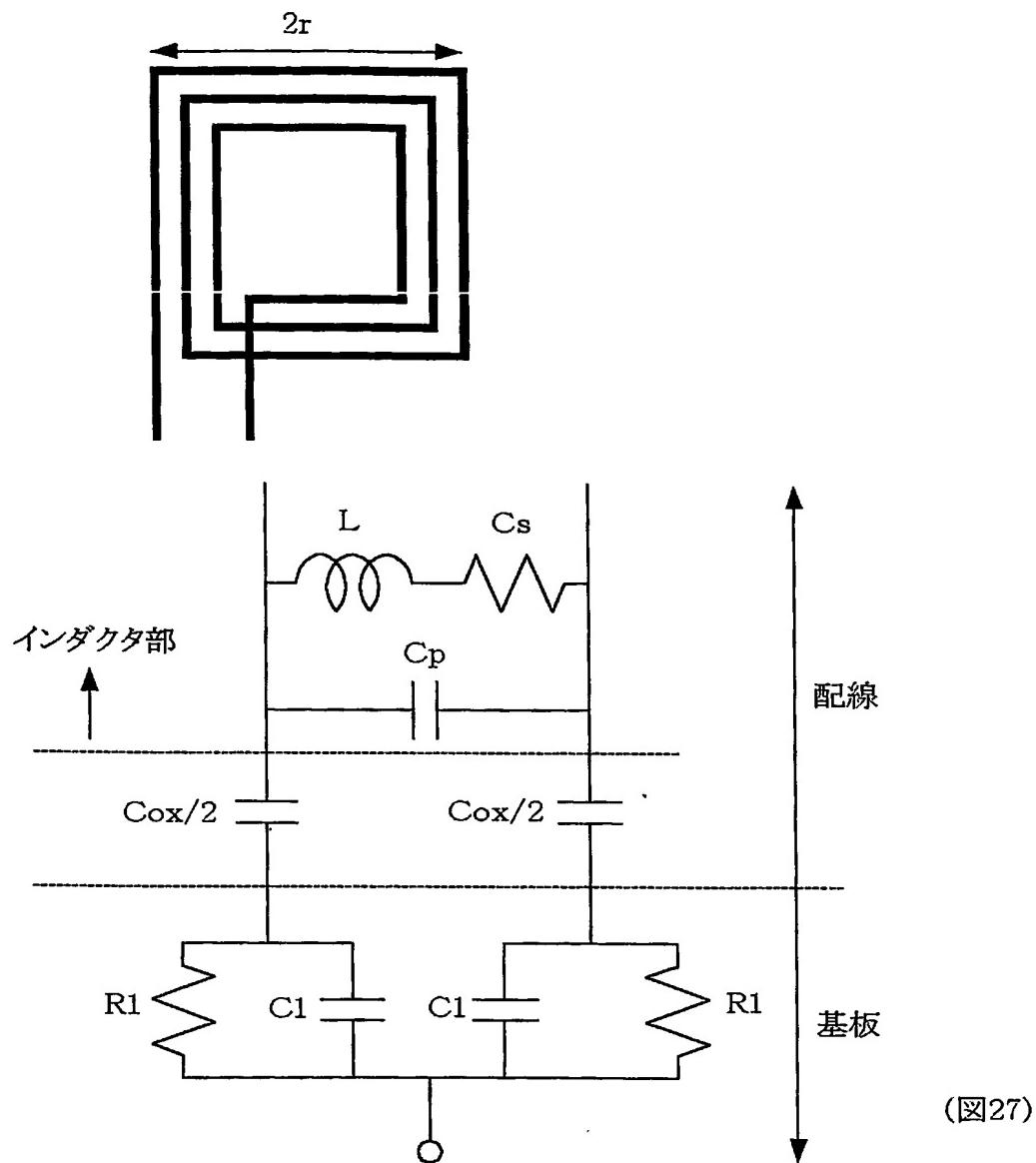
62 デジタルベースバンド

62a A/D回路

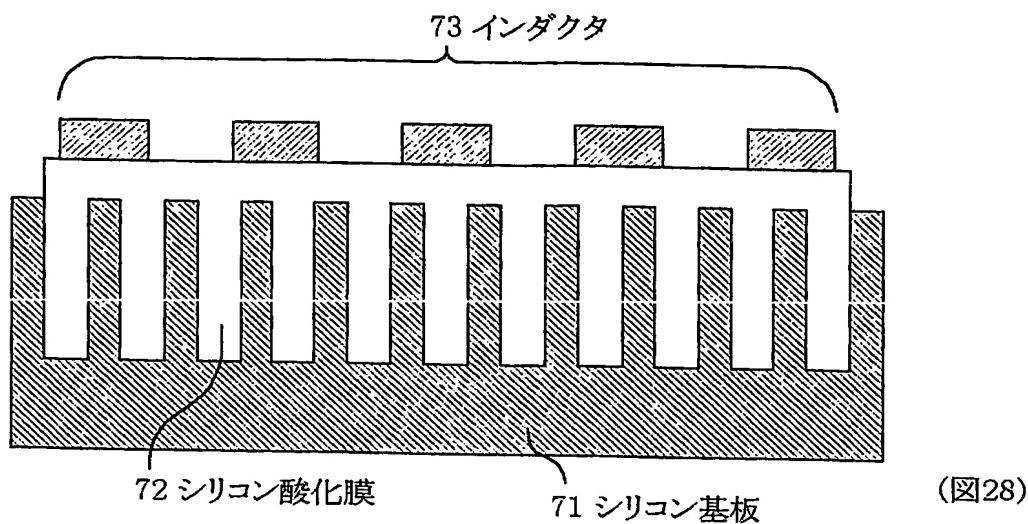
62b デジタル信号処理回路

62c D/A回路

【図27】

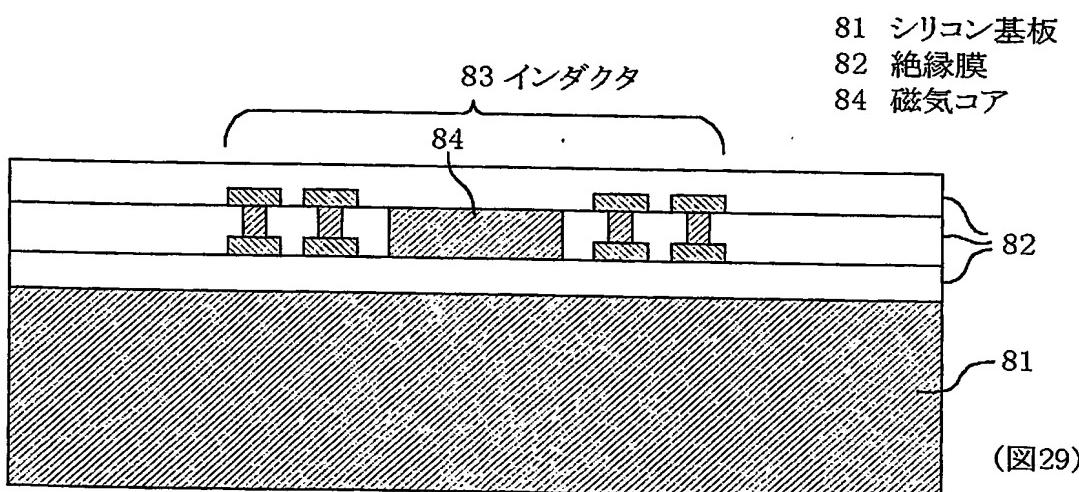


【図28】



(図28)

【図29】



(図29)

【書類名】 要約書

【要約】

【課題】 インダクタが形成されたR F回路とデジタル回路とを同一チップ上に搭載できるようにする。

【解決手段】 シリコン基板1上の素子分離膜2によって分離された領域内にMOSFET3が形成されている。R F回路領域100には、第1の層間絶縁膜4を貫いてシリコン基板内部に到達する、低誘電率絶縁物が埋設された低誘電率絶縁体ロッド8が複数配置されている。R F回路領域100上の層間絶縁膜内には多層配線を利用したインダクタ40が形成されている。インダクタの磁心及びその周囲には、高透磁率材料と低誘電率材料とが混合された複合材料が埋め込まれた高透磁率分離領域19が形成されている。

【選択図】 図6

特願 2003-170267

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住所 東京都港区芝五丁目7番1号
氏名 日本電気株式会社